

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-540605

(P2002-540605A)

(43)公表日 平成14年11月26日(2002.11.26)

(51)Int.Cl.⁷

H 01 L 27/10
21/8238
27/092

識別記号

4 5 1

F I

H 01 L 27/10
27/08

テマコード(参考)

4 5 1 5 F 0 4 8
3 2 1 G 5 F 0 8 3
3 2 1 K

審査請求 未請求 予備審査請求 有 (全 63 頁)

(21)出願番号 特願2000-607287(P2000-607287)
(86) (22)出願日 平成12年3月22日(2000.3.22)
(85)翻訳文提出日 平成13年9月25日(2001.9.25)
(86)国際出願番号 PCT/US 00/07666
(87)国際公開番号 WO 00/57498
(87)国際公開日 平成12年9月28日(2000.9.28)
(31)優先権主張番号 09/276, 273
(32)優先日 平成11年3月25日(1999.3.25)
(33)優先権主張国 米国(US)
(81)指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE), AU, BR, CA,
CN, IN, JP, KR, MX, NO, RU, SG,
UA

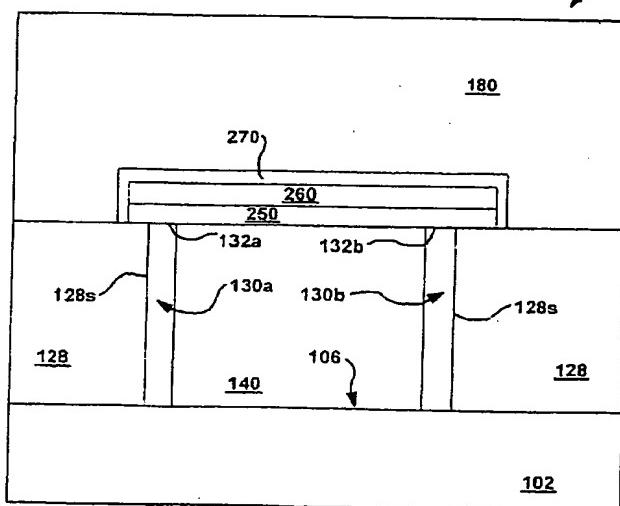
(71)出願人 オヴォニクス インコーポレイテッド
アメリカ合衆国 83705 アイダホ州 ポ
イス、ボーディング ストリート 1090
(72)発明者 ローリー、タイラー
アメリカ合衆国 83864 アイダホ州 サ
ンドポイント アップランド アヴェニュー
— 389
(72)発明者 オヴィンスキイ、スタンフォード アー
ル
アメリカ合衆国 48013 ミシガン州 ブ
ルームフィールド ヒルズ スカーレル
ロード 2700
(74)代理人 弁理士 三好 秀和

最終頁に統く

(54)【発明の名称】 改善された接合を有する電気的にプログラム可能なメモリ素子

(57)【要約】

ある容積の相変化記憶材料(250)、及び電流を記憶材料(250)へ供給するための第一及び第二接合から成るメモリ素子、此處で第一接合は伝導性側壁スペーサ(130A, B)から成る。代りに、第一接合は記憶材料に隣接した端面を具備する接合層から成ることもある。



【特許請求の範囲】

【請求項1】 以下の構成から成ることを特徴とする、電気的にプログラマブルな単一セルメモリ素子：
ある容積の相変化記憶材料；及び
前記記憶材料に電気的信号を供給するための第一及び第二接合、前記第一接合は伝導性側壁スペーサから成る。

【請求項2】 前記伝導性側壁スペーサが前記記憶材料に隣接していることを特徴とする、請求項1のメモリ素子。

【請求項3】 前記伝導性側壁スペーサが、前記記憶材料に隣接した一つの端面を有することを特徴とする、請求項1のメモリ素子。

【請求項4】 前記伝導性側壁スペーサの上部が前記記憶材料に隣接していることを特徴とする、請求項1のメモリ素子。

【請求項5】 前記記憶材料が、前記伝導性側壁スペーサの上方に形成された、実質的に水平に配置された記憶層であることを特徴とする、請求項4のメモリ素子。

【請求項6】 前記伝導性側壁スペーサが、側壁面上に形成されていることを特徴とする、請求項1のメモリ素子。

【請求項7】 前記側壁面が、溝状側壁面、経由孔側壁面、柱状側壁面から成る群から選ばれることを特徴とする、請求項6のメモリ素子。

【請求項8】 前記伝導性側壁スペーサが、少なくとも一つの接合層を側壁面上に析出させ且つ前記少なくとも一つの接合層を食刻することにより、形成されることを特徴とする、請求項6のメモリ素子。

【請求項9】 前記少なくとも一つの接合層が第一接合層及び第二接合層であり、前記第一接合層が前記側壁面上に析出され、前記第二接合層が前記第一接合層上に析出されることを特徴とする、請求項8のメモリ素子。

【請求項10】 前記析出が等角的（コンフォーマル）析出であることを特徴とする、請求項8のメモリ素子。

【請求項11】 前記食刻が非等方性食刻であることを特徴とする、請求項8のメモリ素子。

【請求項12】 前記第一接合層の抵抗が、前記第二接合層の抵抗より小さいことを特徴とする、請求項8のメモリ素子。

【請求項13】 前記伝導性側壁スペーサが、第一側壁層及び前記第一側壁層の上に形成された第二側壁層から構成されることを特徴とする、請求項1のメモリ素子。

【請求項14】 前記第一側壁層の抵抗が第二側壁層の抵抗より小さいことを特徴とする、請求項13のメモリ素子。

【請求項15】 前記第一側壁層が前記記憶材料に隣接していることを特徴とする、請求項13のメモリ素子。

【請求項16】 前記第二側壁層が前記記憶材料から離れていることを特徴とする、請求項15のメモリ素子。

【請求項17】 前記第二側壁層の上部が前記記憶材料に隣接していることを特徴とする、請求項4のメモリ素子。

【請求項18】 前記第一側壁層の上部が前記記憶材料から離れていることを特徴とする、請求項11のメモリ素子。

【請求項19】 前記伝導性側壁スペーサが、前記記憶材料に隣接する狭隘化された幅を有することを特徴とする、請求項1のメモリ素子。

【請求項20】 前記容積の記憶材料が少なくとも一つのカルコゲンを含むことを特徴とする、請求項1のメモリ素子。

【請求項21】 前記少なくとも一つのカルコゲンが、Te及びSeから成る群から選ばれることを特徴とする、請求項20のメモリ素子。

【請求項22】 前記記憶材料が、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、Oから成る群から選ばれた少なくとも一つの元素及びそれらの混合物又は合金を含むことを特徴とする、請求項20のメモリ素子。

【請求項23】 前記記憶材料が更に少なくとも一つの遷移金属元素を含有することを特徴とする、請求項20のメモリ素子。

【請求項24】 以下の構成から成ることを特徴とする、電気的に作動されるメモリ素子：

ある容積の相変化記憶材料；及び

前記記憶材料に電気的信号を供給するための第一及び第二接合、前記第一接合は、前記容積の記憶材料に隣接した端面を有する接合層から成る。

【請求項25】 前記接合層が薄膜層であることを特徴とする、請求項24のメモリ素子。

【請求項26】 前記接合層が実質的に垂直に配置されていることを特徴とする、請求項24のメモリ素子。

【請求項27】 前記接合層が平面状であることを特徴とする、請求項24のメモリ素子。

【請求項28】 前記接合層が実質的に水平に配置されていることを特徴とする、請求項27のメモリ素子。

【請求項29】 前記接合層が側壁面上に形成されていることを特徴とする、請求項24のメモリ素子。

【請求項30】 前記側壁面が、溝状側壁面、経由孔側壁面、柱状側壁面から成る群から選ばれることを特徴とする、請求項29のメモリ素子。

【請求項31】 前記第一接合が伝導性側壁スペーサであることを特徴とする、請求項24のメモリ素子。

【請求項32】 前記接合層が前記記憶材料に隣接した開放端を有する椀状面をなしていることを特徴とする、請求項24のメモリ素子。

【請求項33】 前記接合層と前記記憶材料の間の接合領域が環状であることを特徴とする、請求項24のメモリ素子。

【請求項34】 前記端面が前記記憶材料の断面薄片を取り囲んでいることを特徴とする、請求項24のメモリ素子。

【請求項35】 前記容積の記憶材料が少なくとも一つのカルコゲンを含むこととを特徴とする、請求項24のメモリ素子。

【請求項36】 前記少なくとも一つのカルコゲンが、Te及びSeから成る群から選ばれることを特徴とする、請求項35のメモリ素子。

【請求項37】 前記記憶材料が、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、Oから成る群から選ばれた少なくとも一つの元素及びそれらの混合物又は合金を含むことを特徴とする、請求項35のメモリ素子。

【請求項38】 前記記憶材料が更に少なくとも一つの遷移金属元素を含有することを特徴とする、請求項35のメモリ素子。

【請求項39】 以下の構成から成ることを特徴とする、電気的にプログラマブルな单一素子メモリ素子：

ある容積の相変化記憶材料；及び

前記記憶材料に電気的信号を供給するための第一及び第二接合、少なくとも一つの前記接合は、前記記憶材料近傍の電流密度を最大化し且つ前記記憶材料から前記少なくとも一つの接合への熱エネルギーの流れを最低化するように適合されている。

【請求項40】 CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、 $8F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法。

【請求項41】 CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、 $6F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法。

【請求項42】 CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷測定メモリアレイを作製する方法。

【請求項43】 CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷蓄積メモリアレイを作製する方法。

【発明の詳細な説明】**【0001】****(関係出願情報)**

この出願は1997年10月1日出願の米国特許出願番号第08/942,000号の一部継続

出願である。

(発明の分野)

本発明は、一般的には、独特の設計がなされた電気的に作動する固体メモリ素子に関する。より正確には、本発明は、メモリ素子の不可欠な部分である、電気的接合及び記憶材料の間の新規な構造的関係に関する。

(背景と先行技術)

オボニック(Ovonic)EEPROMは、所有権のある、高性能、不揮発性、薄膜電子記憶装置である。その利点は、データの不揮発性記憶、高ビット密度の可能性、及びその結果としての小立地面積と単純な二端子装置構造に起因する低コスト、永い繰り返し再プログラミング寿命、低いプログラミングエネルギー、及び高速度を含む。オボニックEEPROMは、アナログ及びデジタル両方の情報記憶形式が可能である。デジタル記憶は、バイナリ(記憶素子当たり一ビット)でもマルチステート(素子当たり複数ビット)の何れでも可能である。

【0002】

電子記憶応用へ、電気的に書き込みと消去が可能な相変化材料(即ち、凡そ非晶質と凡そ結晶状態の間でプログラム可能な材料)を利用するについての一般的概念は、この技術分野では良く知られていて、例えば両方とも本発明と同じ譲受人に譲渡されたオブシンスキ(Ovshinsky)への米国特許番号3,271,591号及び3,530,441号で開示されており、何れの開示内容もここに参考にして取り入れてある。

【0003】

'591及び'441特許に記述された初期の相変化材料は、局所的構造規則性の変化に基づくものであった。構造規則性の変化は、一般的には材料中の或る種の原子移動に伴うものであった。非晶質及び結晶状態の間このような原子移動は、移動を賄うのに必要な時間を必要とし、結果としてプログラミング時間とプログラ

ミングエネルギーを大きなものにしている。

【0004】

比較的遅い(現在の標準で)プログラミング速度、特に局所的規則性が増加する方向(結晶化が進む方向)でのプログラムされる場合の、及び局所的規則性の変化を始めさせるのに必要な比較的高い入力エネルギーが、'591及び'441特許に記載された記憶素子の、テープ、フロッピー(登録商標)ディスク、磁気又は光学ハードディスクドライブ、固体ディスクフラッシュ、DRAM、SRAM、及びソケットフラッシュメモリなどの現在のコンピュータ記憶装置応用を直接且つ全面的に置き換えるような、広範囲の利用を妨げた。

これらの制限の最も重要なものは、局所的規則性の検出可能な変化を起こさせるのに必要とし、カルコゲナイト材料の化学的及び/又は電子的結合配列の検出可能な変化を得るのに必要な、比較的高いエネルギー入力である。これらの材料をスイッチングするのに必要な一般に測定される電気エネルギーは、約マイクロジュールの範囲である。この量のエネルギーが、記憶素子の固体マトリックスの行と列の各メモリ素子に配送されなければならないことに注目すべきである。このように高いエネルギー水準は、アドレス線路や個別の各メモリ素子に伴うセル絶縁/アドレス装置に対して大電流を流すことを必要とすることになる。

【0005】

低いプログラミングエネルギーは、特にEEPROMが大規模アーカイブ領域に用いられる場合に重要である。このように用いられると、EEPROMは現在の計算機の機械的ハードドライブ(磁気又は光学ハードドライブなどの)を置き換えるであろう。

【0006】

従来の機械的ハードドライブのEEPROMによる置き換えに対する主な理由の一つは、「ハードドライブ」が機械系の比較的大きな電力消費を削減することであろう。ラップトップ型計算機の場合は、機械的ハードドライブがその中で最も大きな電力消費源の一つであることから、特に興味がある。それ故、この電力負荷を軽減して、実質的に電源電池充電量当りの計算機の稼働時間を延ばすことは特に有益なことである。しかし、もしEEPROMでの機械的ハードドライブの置き換えが

大きなスイッチングエネルギーの必要量（それ故大電力の必要性）を有する場合は、電力削減は重要ではなくなるか又は、よくても非実質的なものとなろう。それ故、普遍的メモリと考え得るようなEEPROMは低いプログラミングエネルギーを必要とするものである。

【0007】

同様に重要なのは、オブシンスキーベー特許に記載された電気的記憶材料のスイッチング時間であった。これらの材料は代表的には設定時間（材料を非晶質から結晶状態へ切り換えるのに必要な時間）に数ミリ秒の範囲の時間を必要とし；再設定時間（材料を結晶質から非晶質状態へ切り換えるのに要する時間）に約一マイクロ秒を必要とした。

【0008】

低減された電気的スイッチング時間およびプログラミングエネルギーを有する電気的相変化材料及び記憶素子は、共有譲渡されたオブシンスキーベー氏への米国特許番号第5,166,758号に記載されており、その開示内容は、ここに参考にして取り入れてある。電気的相変化材料及び記憶素子の他の例は、共通譲渡されたオブシンスキーベー氏へ米国特許番号第5,296,716号、第5,414,271号、第5,359,205号、第5,341,328号、第5,536,947号、第5,534,712号、第5,687,112号、及び第5,825,046号に与えられており、その開示内容はここに参考にして取り入れてある。更に電気的相変化材料及び記憶素子の例は、共通譲渡され、米国特許出願番号第08/878,870号、第09/102,887号、及び第08/942,000号に与えられており、全てここに参考にして取り入れてある。

【0009】

一般に、開示された相変化材料は、大体非晶質から大体結晶質局所的規則性の構造状態の間で電気的にスイッチング可能である。この材料は、完全に非晶質と完全に結晶質状態の間の全スペクトルにわたる局所的規則性の検出可能な異なった状態の間で電気的にスイッチングされることもある。即ち、このような材料のスイッチングは、完全に非晶質と完全に結晶質状態の間で起る必要はなく、（1）局所的規則性の変化又は（2）完全に非晶質及び完全に結晶質状態の間のスペクトルにわたる局所的規則性の多重な状態を表す「グレー・スケール」を与える

ような異なる局所的規則性を有する二つ以上の材料の体積変化、のいずれかを反映して段階的にスイッチングすることが出来る。相変化材料はその状態に応じて異なった電気特性を現わす。例えば、非晶質状態では、材料は結晶質状態の時より高い電気抵抗を示す。

【0010】

相変化材料は真に不揮発性で、定期的な再生信号を必要としないで記憶素子により記憶された情報の完全性を維持するであろう。同様に、材料は好ましくは直接上書き可能で、特定の初期又は消去済み抵抗値に設定する必要なく、材料の事前の抵抗値に無関係に選択された電気的入力信号に応じて、複数の抵抗値の一つに直接設定できるとよい。更に、相変化材料は広いダイナミックレンジを持つことが好ましく、アナログ形式にバイナリーコード化情報を模擬することによって单一素子内にバイナリー情報の複数ビットをグレー・スケール記憶させ、それによりバイナリーコード化情報の複数ビットを单一素子内の単一抵抗値として記憶する。

【0011】

(発明の要旨)

本発明の目的は、低減されたプログラミングエネルギーを有するメモリ素子を提供することである。本発明のもう一つの目的は、低減されたセル面積を有するメモリアレイを提供することである。

【0012】

本発明のこれら及びその他の目的は、以下の構成から成ることを特徴とする、電気的にプログラマブルな单一素子メモリ素子により満足される：ある容積の相変化記憶材料；及び記憶材料に電気的信号を供給するための第一及び第二接合、第一接合は伝導性側壁スペーサから成る。

本発明のこれら及びその他の目的は、以下の構成から成ることを特徴とする、電気的に作動されるメモリ素子により満足される：ある容積の相変化記憶材料；及び記憶材料に電気的信号を供給するための第一及び第二接合、第一接合は、該容積の記憶材料に隣接した端面を有する接合層から成る。

本発明のこれら及びその他の目的は、CMOS工程で用いられるマスキング処理回

数に三回以下のマスキング処理を加えたことから成る、 $8F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法によって満足される。

【0013】

本発明のこれら及びその他の目的は、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、 $6F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法によって満足される。

本発明のこれら及びその他の目的は、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷測定メモリアレイを作製する方法によって満足される。

本発明のこれら及びその他の目的は、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷蓄積メモリアレイを作製する方法によって満足される。

【0014】

(発明の詳細な説明)

図1は半導体基板102上に形成された本発明の記憶装置100の断面図である。記憶装置100は二つの独立した単一セルメモリ素子から成る。第一単一セルメモリ素子は、第一接合130A、記憶材料層250、及び第二接合270から成る。第二単一セルメモリ素子は、第一接合130B、記憶材料層250、及び第二接合270から成る。図1に示す実施態様のように、二つのメモリ素子は单一の連続した容積の相変化記憶材料を共有している。絶縁層260は記憶材料層250と第二接合の水平に配置された部位の間の電気的絶縁を提供する。絶縁層260は、熱エネルギーを記憶材料層250内に保持する熱被覆も提供する。誘電体領域140は、第一接合130Aを第一接合130Bから電気的に絶縁する。第一接合130A、B及び第二接合270は記憶材料に電気信号を供給する。上部誘電体領域180は記憶装置100の上部に析出される。好ましくは、上部誘電体層180は硼焼珪酸ガラス(BPSG)から成る。

【0015】

示した実施態様において、第一接合130A、Bは誘電体領域128の側壁面128Sに沿って形成された伝導性側壁スペーサ(ここでは「伝導性スペーサ」とも呼ぶ)で

ある。（側壁面128Sと面106は溝を形成し図の面に垂直に延びている）。

【0016】

描写した特定の配列において、該容積の記憶材料は平面状記憶材料層250であって、実質的に水平に配置され、伝導性側壁スペーサ130A、Bに上方に配置され、記憶層250の底面が伝導性スペーサ130A、Bそれぞれの上部に隣接させる。（ここで「上部」は基板との関係で規定される）。

【0017】

好ましくは、記憶材料は伝導性側壁スペーサの端部に隣接している。図1に示した実施態様において、記憶層250は伝導性スペーサ130A、Bのそれぞれの端面132A、Bに隣接している。示した実施態様において端面132A、Bは伝導性スペーサ130A、Bの横方向断面である。

【0018】

記憶材料と伝導性スペーサ130A、Bの間の接合面積は、記憶材料と端面132A、Bとの間の接合面積である。よって、記憶材料と伝導性スペーサ130A、Bの間の唯一の電気的結合は端面132A、Bの全て又は一部を貫通するものである。伝導性スペーサ130A、Bの残部は記憶材料から誘電体領域128及び140によって電気的に絶縁される。

【0019】

本発明のメモリ素子は絶縁／選択装置及びアドレス配線に電気的に結合され、メモリアレイを形成する。絶縁／番地付け装置は、個別の各記憶素子が、アレイの隣接した又は遠隔の記憶素子に記憶された情報と干渉することなく読み出し、読み込みされるようにする。一般に、本発明は特別な型の絶縁／番地付け装置を使用するような制限はない。絶縁／番地付け装置の例は、電界効果型トランジスタ、バイポーラ接合トランジスタ、及びダイオードを含む。電界効果型トランジスタの例は、JFET及びMOSFETを含む。MOSFETの例はNMOSトランジスタ及びPMOSトランジスタを含む。更にNMOS及びPMOSはCMOS技術として同じチップ上に形成されることもある。

【0020】

図2は上述の記憶装置100から成るメモリアレイ構造物200の断面図である。記

憶装置100のメモリ素子の各々は、NMOSトランジスタの構成の選択／絶縁装置に電気的に結合されている。メモリアレイ200は、p型にドーピングされ（以下p型ドープと表現する）、図示された配列の残りの要素を析出するためのp型基板を形成する単結晶シリコン半導体ウェハ102上に形成されるであろう。

【0021】

NMOSトランジスタは、n型にドーピングした（以下n型ドープと表現する）ソース領域110、n型ドープしたドレイン領域112、及びゲート領域118を含む。ソース領域110とドレイン領域112は、n型にドープされた材料の一つ以上の部分、即ち軽くドーピングしたn-部分と強くドーピングしたn+部分から成ることがある。

【0022】

n型ドープしたソース領域110及びドレイン領域112はチャネル領域114で分離されている。チャネル領域114上方に形成されたゲート領域118は、ソース領域からチャネル領域を通ってドレイン領域への電流の流れを制御する。ゲート領域118は、好ましくは多結晶シリコン層から成る。ゲート領域118をチャネル領域114から分離しているのは誘電体領域116であり、好ましくは二酸化珪素の層である。

【0023】

チャネル領域114に付随するものは「チャネル長」及び「チャネル幅」である。チャネル長は、ソースとドレイン領域の間の距離である。チャネル長は二領域間の電流の流れに平行に向いており、図2の紙面に平行である。メモリアレイの「長さ」はチャネル長に平行なアレイの寸法である。

【0024】

チャネル幅は、チャネル長に垂直であり、従って図2の紙面に垂直である。メモリアレイの「幅」はチャネル幅に平行なアレイの寸法である。図3はチャネル幅に平行なメモリアレイ構造物200の断面図である。図は、メモリアレイの幅に沿った誘電体領域184により互いに電気的に絶縁されている複数の伝導性側壁スペーサを示す。

【0025】

再度図2を参照して、チャネル阻止領域113はn型ドープしたドレイン領域112内に形成され、二つの隣り合って電気的に絶縁されたドレイン領域112を分離されたNMOSトランジスタとして生成する。一般に、チャネル阻止領域113は、ソース及びドレイン領域110、112のそれとは反対の伝導性の型を有している。図示したNMOS環境においては、チャネル阻止領域113はp型ドープしたシリコンから成る。チャネル阻止領域113はよく知られたイオン注入技術を用い硼素イオンを注入して形成される。

【0026】

ゲート領域118の上方に形成されるのは金属領域120で、好ましくは珪化タングステンの層から成る。金属領域120は、電気信号をゲート領域118に伝送するのに用いられる。金属領域120は、メモリアレイ構造物の幅（チャネル幅に平行）を横切って図2の紙面に垂直に延びており、最初の組、この場合はアレイの個別のメモリ素子に番地付けするためのx-y格子の第x組のアドレス配線を形成する。

【0027】

金属領域120の上方に形成されるのは誘電体領域の122で、好ましくは二酸化珪素の層から成る。この誘電体領域122は電気的に金属領域120を記憶装置における隣り合う領域から絶縁する。層114、116、118、120の積層体は集合的にゲート積層体124と呼ぶ。誘電体領域128はゲート積層体124の側壁面上に形成される。

【0028】

金属配線190は上部絶縁領域180の上部に形成され、図2の紙面に平行なメモリアレイ構造の長さを横切って（チャネル長に平行に）延びている。金属配線190はアドレス配線の第二の組、この場合はアレイの個々の記憶素子に番地付けするためのx-y格子の第y組を形成する。金属配線190はアルミニウム又は銅のようないかなる伝導性材料で形成されるであろう。タングステン栓144は金属配線190をドレイン領域110に電気的に接続する。図2に示す特定の実施態様においては、各タングステン栓114は二つのNMOSトランジスタに共有されていることが注目される。珪化チタンの層（示されていない）が、基板102と伝導性栓144の間と同じように基板102と伝導性側壁スペーサ130a、bの間の伝導性を向上させるために、シリコ

ン基板の表面上に形成される。

【0029】

それ故、メモリ素子用の絶縁／番地付け装置として働く絶縁／番地付け装置がメモリアレイ構造物の各メモリ素子に付随しており、それによりその素子が、アレイの隣接又は遠隔のメモリ素子に記憶された情報に干渉することなく、読み出し書き込みされることが可能となる。図2に示した実施態様においては、絶縁／番地付け装置はNMOS装置である。

【0030】

図2を参照して記憶材料250、第一接合130A、B、第二接合270、絶縁トランジスタ、及びアドレス配線の間の電気的結合は次のように要約できるであろう。NMOSトランジスタ・ゲート（ゲート領域118）は電気的にx-アドレス配線（金属領域120）に接続され、トランジスタ・ドレイン（ドレイン領域110）は電気的にy-アドレス配線（伝導性栓経由の金属配線190）に接続され、トランジスタ・ソース（ソース領域112）は電気的にメモリ素子の一つの端子（第一接合130A又は130B）に接続されている。記憶装置のその他の端子（第二接合270）は、電気的に電源圧Va（図2には示されていない）に結合されている。

【0031】

図4はメモリ素子110、対応する電界効果型トランジスタ（FET）115、及び個々のメモリ素子を選択的に設定し読み出すのに用いられるX、Yアドレス配線120、190の各々の間の電気接続を説明するメモリアレイの概略図である。FETは好ましくはMOSFETで、更に好ましくはNMOSトランジスタである。代わりにMOSFETはPMOSであることもある。xとyのアドレス配線は、当業者によく知られている方式で外部回路に接続されることが注目される。

【0032】

概略図に示すように、FETトランジスタのゲートはアドレス配線の一つに接続されている。上述した実施態様において、ドレインは第二アドレス配線に接続されている。しかし、別の実施態様においては、トランジスタのソースが代りに第二アドレス配線に接続される。

【0033】

図2のメモリアレイ構造物200を作製する方法の一実施態様が図5A-50に示されている。まず図5Aを参照して、NMOSトランジスタアレイ500Aが提供されている。図5Aはp型ドープ基板102内に形成されたn型ドープされた領域110及び112から成るNMOSトランジスタアレイの一部の断面図を示す。トランジスタアレイは、誘電体領域116、ゲート領域118、金属領域120及び誘電体領域122を含むゲート積層体104を備えている。誘電体領域124は、ゲート積層体104の側壁面上に絶縁側壁スペーサとして形成されている。誘電体領域124は、好ましくはTEOS酸化物、二酸化珪素、又は窒化珪素のような誘電体材料から形成される。誘電体領域124の厚さは、好ましくは約400オングストロームと1000オングストロームの間で、更に好ましくは約600オングストロームと800オングストロームの間で、最も好ましくは約700オングストロームである。誘電体領域124の間の空間は図の紙面に垂直に延びる溝170、172を形成する。珪化チタンの層（示されていない）がnードープ領域110、112の上方に形成されることがある。

【0034】

誘電体層126は、等角的にNMOSトランジスタ構造物500A上に析出され、図5Bに示されている構造500Bを結果として形成する。誘電体層126の厚さは、好ましくは100と500オングストロームの間、更に好ましくは約150と約350オングストロームの間、そして最も好ましくは約300オングストロームである。誘電体層126は、好ましくはTEOS酸化物、二酸化珪素、又は窒化珪素のような材料から形成される。

【0035】

次に、構造物500Bは適切にマスキングされ（即ち、析出及びフォトレジストのパターン形成）、溝172の水平に配置された底面173から誘電体層126を非等方性食刻により除去される。特に、マスクは溝172の底面173から誘電体層126を非等方性食刻により除去するが、溝170の底面から誘電体層171は除去しないようにパターン形成される。マスクの断面及び非等方性食刻の結果が図5Cの構造500Cとして示されている。

【0036】

次いで図5の第一接合130A、Bが形成される。第一接合130A、Bは、溝172内の誘

電体層126の側壁面126Sに沿って伝導性側壁スペーサとして形成される。接合層133が等角的に構造物500C上に析出される。結果として生ずる構造500Dが図5Dに示されている。層133は溝170と172両方の側壁面126Sと底面上に形成される（勿論、溝170の底面は既に誘電体層126で覆われている）。等角的析出は、化学蒸着法（CVD）技術を用いてなされることがある。側壁面が接合面133によって被覆される限り、他の可能な方法が利用されてもよい。

【0037】

構造物500Dは、非等方的に食刻され、図5E（構造500E）に示す伝導性側壁スペーサ130A、Bを形成する。非等方的食刻が水平に配置された面から接合層133を除去する。溝172の側壁面126S上に残っている接合面133はここでは「側壁層」と呼ぶ。これらの側壁層は伝導性側壁スペーサ130A、Bを形成する。伝導性側壁スペーサ130A、Bは記憶装置100に対する第一電気接合である。溝170の側壁面126S上に残っている接合層133は作製処理の更に後の工程で除去される。

【0038】

接合層133が等角的に析出面を被覆すると仮定すれば、伝導性側壁スペーサ130A、Bは接合層133の選択された厚さに実質的に等しい横方向の厚さを有することになるだろう。好ましくは、接合層133は、伝導性側壁スペーサ130A、Bが実質的に約50から約1000オングストロームの間、より好ましくは約100と約500オングストロームの間の均一な厚さを有するように析出される。

【0039】

接合層133及び結果として得られる伝導性側壁接合130A、Bは電気的に伝導性の材料から形成されるであろう。材料の例は、窒化チタン、チタンアルミニウム窒化物、チタン炭窒化物、チタン珪窒化物を含む。材料の他の例は、モリブデン、炭素、タングステン、及びチタン-タングステンを含む。

【0040】

接合層133を溝172の底面から除去する非等方的（アンアイソトロピックな）食刻は、同じ溝172の底部から珪化チタン層も除去し、それにより伝導性側壁スペーサ130Aを伝導性側壁スペーサ130Bから電気的に絶縁することが注目される。しかし、溝170の底面の珪化チタンは、誘電体層126によって非等方的食刻から保護

されているので、除去されない。

【0041】

次いで、チャネル阻止領域113がn型ドープドレイン領域112内に形成され、二つの隣り合った電気的に絶縁されているドレイン領域112を生成する。一般に、チャネル阻止領域113は、ソース及びドレイン領域110、112と反対の型の伝導性を有する。図示されたNMOS環境においては、チャネル阻止領域113は、p型ドープシリコンから成る。チャネル阻止領域113はよく知られたイオン注入技術を用いて硼素イオンを注入して形成されることがある。結果として得られた構造500Fが図5Fに示されている。

【0042】

次に、構造物500Fは適切にマスキング（フォトレジスト析出とパターン形成を経由して）処理されて、溝170内の側壁面126Sから残っている接合層133を等方的に食刻して除去する。溝172内の伝導性側壁スペーサ130A、Bはフォトレジスト・マスクによって等方的食刻から保護されている。食刻は、溝170から誘電体層126を除去しないように選択される。マスクの断面図と、結果として等方的食刻の後に得られる構造物が構造500Gとして図5Gに示されている。

【0043】

メモリアレイの幅を規定することと幅に沿った（即ち、チャネル幅に平行に且つ図5Gの紙面に垂直に）伝導性側壁スペーサ130A、Bの位置決定することと同じマスクと食刻が用いられるることは注目される。図3は、伝導性側壁スペーサ（130A又は130B）を貫通しメモリアレイの幅に平行なメモリアレイの断面図である。図3は、幅Wを有し、メモリアレイの幅に沿って一定間隔で並んだ複数の伝導性側壁スペーサを生成するのに、マスクと食刻がどのように使われるかを示している。

【0044】

次いで、誘電体層が構造物500Gの上に析出される。結果として得られる構造500Hが図5Hに示されている。層140の厚さは溝170と溝172を充填するように選択される。層140の厚さは、好ましくは約500と約5000オングストロームの間であり、更に好ましくは約1000と約3000オングストロームの間である。誘電体層140に用

いられる材料の例はTEOS酸化物、二酸化珪素、窒化珪素を含む。

【0045】

誘電体層140が析出された後に、構造物500Hは化学・機械的に研磨される(CMP)。CMP処理は少なくとも伝導性側壁スペーサ130A、Bが露出されるまで続けられる。結果として得られる構造、CMPが完了した後の、が構造500Iとして、図5Iに示されている。

【0046】

次に、相変化記憶材料250の層が構造物500I上に析出される。絶縁材料260の層が相変化記憶材料250の上部に析出され、伝導性材料270の層が絶縁材料260の上部に析出される。結果として得られる構造500Jが図5Jに示されている。

【0047】

構造物500Jがマスキングされ、層250、260、270は非等方的に食刻されて図5Kの構造500Kを形成する。層250、260、270は溝170の上部から非等方的に食刻で除かれる。

【0048】

次に、伝導性材料の層280が等角的に構造物500Kの上部に析出して図5Lの構造500Lを形成する。伝導層280は非等方的に食刻され、層250、260、270の側壁面に沿って析出された側壁層270Bだけが残される。結果として得られる構造500Mが図5Mに示されている。伝導層270A及び270Bは一緒に記憶装置用の第二接合290を形成する。図示した実施態様において、第二接合の側面層280は記憶層250に隣接している。

【0049】

伝導層270A及び270Bは、全て同じ伝導性材料で形成されることがあり、異なる伝導性材料から形成されることもある。伝導層270A及び／又は270Bに用いられる材料の例は、窒化チタン、チタンアルミニウム窒化物、チタン炭窒化物、チタン珪窒化物を含む。材料の他の例は、モリブデン、炭素、タングステン及びチタンータングステンを含む。

【0050】

図2に示すメモリ構造物200の形成における残された処理工程はこの技術分野に

おいてよく知られたものである。上部誘電体層180は半導体装置構造物500Mを覆って形成され、図5Nに示した構造500Nが形成する。好ましくは、上部誘電体層180は硼矽珪酸ガラス (BPSG) から成る。上部誘電体層180の厚さは、6,000と10,000オングストロームの間であろう。層180の厚さはより好ましくは7,000と9,000オングストロームの間、最も好ましいのは約8,000オングストロームである。

【0051】

次に、上部誘電体層180は適切にマスキングされ、溝170内に伝導性栓用の開口を形成するのに非等方的接合食刻が用いられる。選択食刻は異なる誘電材料を異なる速度で食刻するであろう。選択食刻の結果としてゲート積層体104及び誘電体領域124は食刻の間中保護されるが、誘電材料140はシリコン基板102（又はn-型ドープシリコン上方の 化チタン層）に達するまで食刻して除かれる。

【0052】

選択接合食刻に引き続いて、溝170の開口がタングステンなどの伝導性材料で充填される。タングステン栓144は全面タングステン析出及び食刻除去により形成されることがある。伝導性配線190は次いでタングステン栓を覆ってパターン形成することが出来る。

【0053】

上で詳述した作製方法は、従来のCMOS論理に三回のマスキング工程だけを追加することでメモリアレイ構造物の形成する方法を説明している。

【0054】

本発明のメモリアレイ構造物の最少単位セル(素子)面積（図2と3の両方に実施態様が示されている）は、好ましくは $8F^2$ 未満及びより好ましくは $6F^2$ 未満のセル面積を有する。開示したメモリアレイを作製する方法は、好ましくは従来のCMOS処理工程に加えて三回以下のマスキング工程を必要とする。

【0055】

従って、ここに開示しているのは、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、 $8F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法である。更に、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、

$6F^2$ 以下のセル面積を有する電気的に作動するメモリアレイを作製する方法を開示している。

【0056】

本発明の相変化メモリ素子は非電荷測定記憶装置であり、上述した作製方法は、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷測定メモリアレイを作製するものである。

本発明の相変化メモリ素子は非電荷蓄積記憶装置であり、上述した作製方法は、CMOS工程で用いられるマスキング処理回数に三回以下のマスキング処理を加えたことから成る、電気的に作動する非電荷蓄積メモリアレイを作製するものであることが更に注目される。

【0057】

下の表は、本発明の相変化メモリアレイを、DRAM、SRAM、フラッシュメモリ、及び強誘電体メモリと、(1)セル面積、及び(2)CMOS処理に用いられるマスキング工程回数に追加して必要となるマスキング工程の回数、に関して比較した実例である。

【0058】

表

	(1) セル面積	(2) マスキング工程
DRAM	$8F^2$	6-9
SRAM		
4T	$40F^2$	5
6T	$80F^2$	0
フラッシュ	$8F^2$	5
強誘電体	$8F^2$	3
本発明	$6F^2$	2-4

本発明の代りの実施態様においては、伝導性側壁スペーサ130A、Bは記憶材料に隣接した幅（即ち、チャネル幅に平行な寸法）を狭隘化することによって修正することがある。

【0059】

「狭隘化された」側壁スペーサの一例が図6に示されており、チャネル幅に平行な伝導性側壁スペーサ130A、Bの断面を示す。図6に示した実施例においては、伝導性側壁スペーサ130A、Bの上面が適切に食刻されて、記憶材料に隣接している狭隘化され突出した柱188を形成する（柱は記憶層250に向かって突き出る）。先細りの程度と同じく柱の高さは、伝導性側壁スペーサの断面積と幅の両者を記憶材料に隣接する所で調整するよう制御されるであろう。幅と断面積は記憶材料に隣接した所で最小になるように出来る。

【0060】

図6の狭隘化された伝導性側壁スペーサ130A、Bは、狭隘化された幅が望まれる位置に図3の伝導性スペーサ130A、Bを覆って酸化物スペーサを形成することによって作られるであろう。酸化物スペーサは、伝導性スペーサの露出された部位は食刻し、マスクの下になっている伝導性スペーサの部位は残すような非等方性（アンアイソトロピック）又は等方性（アイソトロピック）食刻用のマスクとして用いられることがある。

【0061】

記憶材料に隣接した伝導性スペーサの幅の減少は、その領域での断面積を減少させる。一般に、断面積が小さくなるほど、その断面積内の電流密度は上昇する。電流密度の増加は、記憶材料近傍のジュール加熱の増加原因となる。このことは記憶材料内に流入する熱の増加をもたらす。

【0062】

記憶材料に関する方位と同様に伝導性側壁スペーサの形状も、記憶材料の背部から伝導性スペーサに逆流する熱エネルギーの量を減少させる。

【0063】

図1に示したメモリ素子においては、第一接合部130A、Bは単一層の伝導性材料から形成される伝導性側壁スペーサである。既に述べたように、伝導性スペーサは側壁面上への单一接合層の等角的析出と引き続く各接合層の非等方性食刻によって形成されるであろう。

【0064】

代りに、伝導性側壁スペーサは一つ以上接合層から多層伝導性スペーサとして形成することもある。一般に、本発明の伝導性側壁スペーサは、一つ以上、二つ以上、三つ以上の接合層から形成されることがある。

【0065】

図7に示した記憶装置300は、第一接合130a、bの各々が二つの接合層から形成された伝導性側壁スペーサである本発明の記憶装置の代りの実施態様である。図1に示した記憶装置100のように、記憶装置300は二つのメモリ素子から成っている。

【0066】

図8A-8Gは如何にして記憶装置300が作製されるかを示す。図8Aを参照して、側壁面128Sと底面106を有する溝172を形成する基板102と誘電体層128が提供されている。溝172は図の紙面に垂直に延びている。第一接合層332は層128の上面及び溝172内へ等角的に析出され、溝側壁面128S及び溝底面106を被覆する。第二接合層334は次いで等角的に第一接合層332上へ析出される。次いで、第一及び第二接合層332、334は非等方的に食刻され、これらの層の水平に配置された部分が除去される。第一接合層332の残っている部分は、非等方的食刻の後で、第一側壁層342と呼ばれる。第二接合層334の残っている部分は、第一側壁層344と呼ばれる。一緒になって第一側壁層342と第二側壁層344は二重層伝導性側壁スペーサを形成する。実質的に側壁面128S上に形成された第一側壁層は、底面106上に形成された小さな「最下部」領域343を有することが注目される。

【0067】

第一側壁層342の横方向の厚さは実質的に第一接合層332の選択した厚さに等しいことが注目される。第一接合層332の厚さは、第一側壁層342が実質的に均一な約50と約1000オングストロームの間の厚さを有するように選択され、好ましくは実質的に均一な約100と約500オングストロームの間の厚さを有するであろう。同様に、第二側壁層344の横方向の厚さは実質的に第二接合層334の選択した厚さに等しいことが注目される。第二接合層334の厚さは、第二側壁層344が実質的に均一な約50と約1000オングストロームの間の厚さを有するように選択され、好ましくは実質的に均一な約100と約500オングストロームの間の厚さを有するであろう

【0068】

誘電体層350は構造物上に析出され、溝172を充填する。構造物の上部は化学的・機械的に研磨され(CMP)、第一及び第二側壁層342及び344それぞれの上面を平坦化し、上端面346、348を露出させる。図示した実施態様においては、端面346、348は第一及び第二側壁層の厚さの断面であることが注目される。特に、端面346、348は、第一及び第二側壁層342、344それぞれの横方向の断面である。

【0069】

次いで、第一側壁層342は、上端面346が隣接する第二側壁層の上端面348よりも下方で食刻され、第一側壁層342内に窪みを生成するように選択的に食刻される。誘電体層360が次いで構造物を覆って析出され、これらの窪みを充填する。誘電体層360は、TEOS酸化物、二酸化珪素、又は窒化珪素で形成される。次いで、構造体は再び化学・機械的に研磨されて上面が平坦化し、第二側壁層344の上端面348が確実に露出されるようにする。記憶層250、絶縁層260、及び伝導層270が上述したように析出され、図7に示す構造物を形成する。

【0070】

図7を参照すると、第二側壁層344の上端面348は記憶材料に隣接し、記憶材料と接合を形成している。対照的に、第一側壁層342の上端面346は記憶材料から離れており、記憶材料との接合は形成していない。事実、第一接合層342の上端面346は、誘電体材料360により記憶材料から物理的に分離されている。

【0071】

従って、二重層伝導性側壁スペーサ330A、Bと記憶材料250との間の接合面積は、第二側壁層344の上端面348と記憶材料250との間の接合面積である。第一側壁層342は記憶材料250と接触しておらず、ただ間接的に第二側壁層344を貫通して記憶材料250と電気的に結合される。

【0072】

第一及び第二側壁層342、344用の材料は、好ましくは第一側壁層342の電気抵抗が、第二側壁層344の電気抵抗より小さくなるように選ばれる。

【0073】

第一側壁層342に用いられることがある材料の実例は、チタン・タングステン、珪化タングステン、タングステン、モリブデン、及びN型ドープ多結晶シリコン、及び窒化チタンを含む。第一側壁層342は、約50オングストロームと300オングストロームの間、好ましくは約100オングストロームと200オングストロームの間の厚さを有するであろう。

【0074】

第二側壁層344は、好ましくは第一側壁層の抵抗よりも大きい抵抗を有する。第二側壁層に用いられることがある材料の実例は、窒化チタン、チタン炭窒化物、チタン・アルミニウム窒化物、チタン珪窒化物、炭素、N型ドープ多結晶シリコン、及び窒化チタンの同類物を含む。第二側壁層344は、約50オングストロームと300オングストロームの間、好ましくは約100オングストロームと200オングストロームの間の厚さを有するであろう。

【0075】

図7を参照すると、二重層伝導性側壁スペーサ330A、Bは、基板102から第一側壁層342の端面346まで延びている第一区分L1、及び端面346から第二側壁層344(記憶材料に隣接している)まで延びている第二区分L2を有するように見なされることが分かる。

【0076】

第一区分L1に対しては、第一側壁層342が第二側壁層344を電気的に分岐する(並列又は代りの電気的通路を提供する)。第一及び第二側壁層は電気的に並列であるから、電流は何れの層も通過できる。第一側壁層の抵抗が第二側壁層の抵抗より低いので、電流の大部分は第一側壁層を通って流れるであろう。区分L1はこのようにして低抵抗電流通路を提供する。

【0077】

第二区分L2に対しては、全電流が一層抵抗の大きな第二側壁層を通らねばならない。区分L2はこのように高抵抗電流通路を提供する。(二つの側壁層の抵抗率が等しくない時は区分L2の抵抗率が区分L1の抵抗率より大きいことが注意される。)

区分L2の抵抗はL1のものより大きいので、二重層伝導性側壁スペーサ内のジュ

ール加熱の大部分は記憶素子に隣接する区分L2中で発生する。これは記憶材料のより効果的な加熱をもたらす。上述の記憶装置の実施態様において、各メモリ素子の第一電気接合は、溝の側壁面上へ一つ以上の接合層を析出させて形成した伝導性側壁スペーサである。

【0078】

代って、伝導性側壁スペーサは、側壁面又は経由孔上へ一つ以上の接合層を等角的に析出させて形成されるであろう。経由孔は、円、四角、長方形、又は不規則な形をしているであろう。伝導性側壁スペーサは、柱又はメサ(mesa)の側壁面上へ一つ以上の接合層を等角的に析出させて形成されることもある。

【0079】

図9は、第一接合400、記憶材料の一つの層250、及び第二接合410から成るメモリ構造物の立体図を示す。第一接合400は、円形経由孔内へ接合層を等角的に析出（コンフォーマルな析出）し、次いで非等方的に接合層を食刻して水平に配置された面を除去することにより形成される、伝導性側壁スペーサである。経由孔の側壁面上の残された部分は、筒状の伝導性側壁スペーサ400である。

【0080】

経由孔内の残された空間は誘電体材料で充填され、次いで構造物は化学的・機械的に研磨されて伝導性側壁スペーサを露出させる。記憶材料の層は、記憶材料の底面が伝導性側壁スペーサの環状上部端面と接合を形成するように、構造物の上部に析出される。伝導性材料の層が、第二接合を形成するために記憶材料の上部に析出される。

【0081】

伝導性側壁スペーサ400は、環状の上部端面402を有している。伝導性側壁スペーサ400の厚さ及び環状上部端面402の厚さは、等角的に析出された接合層の厚さと実質的に等しい。図9に示した実施態様においては、端面402が伝導性スペーサ400の横方向の断面であることが注目される。

【0082】

伝導性スペーサ400と記憶材料250の間の接合面積は、記憶層250と環状端面との間の接合面積である。全端面402が記憶層と接合を形成すると接合面積は環状

の輪である。接合面積は、析出された接合層の厚さと実質的に等しい端面の厚さに比例する。従って、接合面積は接合層の析出工程を制御することにより低減でき、図9に示した記憶装置の有効電極面積の寸法はフォトリソグラフィの解像度によって許される値以上に低減される。

【0083】

図9に示された第一接合400は二つの開放端を有する筒形をした伝導性側壁スペーサ400として形成されていることが注目される。代りに、接合は図10aに立体図が示され、図10bに断面図が示された椀形殻450として形成されることがある。注目されるように、接合450は記憶材料に隣接している端面460を有している。接合450と記憶材料250との間の接合面積は、端面460と記憶材料250との間の接合面積である。

【0084】

椀形殻450は、経由孔内に接合層を析出し、経由孔の残りの部分を誘電体で充填し、表面を化学的・機械的に研磨して表面を平坦にし且つ接合450の上部端面460を露出させることにより形成されるであろう。層250と410が次に析出されるであろう。接合450と記憶材料との間の接合面積は、端面460と記憶材料の間の接合領域である。全端面が記憶材料と接合を形成しているならば、接合面積は環状の輪になる。

【0085】

更に此処に開示されているのは、電気的にプログラマブルなメモリ素子であり、ある体積の相変化記憶材料、第一電気接合、及び第二電気接合から成り、ここで第一接合は、該容積の相変化記憶材料に隣接した端面を有する接合層から成っている。

【0086】

一般に、接合層は特別な方位又は構造に限定されない。接合層は実質的に垂直に配置されることもある。接合層は、例えば、実質的に垂直に配置されている側壁面上に伝導性側壁スペーサとして第一接合を形成することによって、実質的に垂直に配置されることもある。

【0087】

代りに、接合層は実質的に水平に配置されることがある。接合層は、実質的に水平に配置された基板上へ接合層を析出させることにより、実質的に水平に配置されることがある。図11Aは、単結晶シリコン半導体基板ウェハ102上に形成された、本発明によるメモリ素子の別の実施態様の立体図である。メモリ素子600は、ある容積の記憶材料250、記憶材料250と電気的に結合している第一電気接合610、及び記憶材料と電気的に結合しており第一接合610から一定間隔を空けて配置された第二電気接合、から成っている。図11Bは同じ記憶装置600の断面図である。

【0088】

図11A、Bに示された実施態様においては、第一接合は、基板102上へ実質的に水平に析出された接合層610である。接合層は、該容積の記憶材料250に隣接している端面612を有する。記憶材料250と接合層610の間の接合面積は、記憶材料250と端面612の間の接合面積である。(図示されているように、この実施態様において端面は厚さ方向に平行な断面薄片である)。接合層610と記憶材料250との間の接合面積は、接合層610の厚さに比例する。記憶材料と接合層610の間の電気的結合は端面612の全体又は一部を経由することが注目される。記憶材料250の容積の残りの部分は、誘電材料628によって第一接合610から電気的に絶縁される。

【0089】

好ましくは、端面612は該容積の記憶材料250の断面薄片を取り囲む。此處で用いられたように、「取り囲む」は、端面612が該容積の記憶材料250の断面薄片についてその周りを完全に取り巻くことを意味する。しかし、メモリ素子は、端面が該容積の記憶材料の断面薄片を部分的にしか取り囲まないような構造をとることがある。図示した実施態様においては、断面薄片は実質的に基板102の面に平行であるが、他の方位も亦可能である。

【0090】

第二接合は、伝導性材料の層であることがあり、好ましくは薄膜層として形成される。図11A、Bに示した実施態様においては、第二接合620は記憶材料250の上部に析出される伝導層620であり、伝導層620が記憶材料250の上面に隣接するようになる。

【0091】

更に此処に提示されているのは、電気的にプログラマブルな单一素子メモリ素子であり、ある容積の相変化記憶材料及びその記憶材料に電気信号を供給するための第一及び第二接合から成り、此処では、接合の少なくとも一つが、記憶材料近傍の電流密度を最大化し且つ記憶材料から接合へ流れる熱エネルギーを最小化するように、適合されている。

【0092】

記憶材料に近傍の電流密度の増加は、その領域のジュール加熱の量を増加させ、より多くの熱エネルギーを記憶材料に流れ込ませることを可能にする。電流密度(従ってジュール加熱)は、記憶材料に隣接する接合の断面積を減少させることで増加するであろう。

【0093】

一般に、本発明のメモリ素子及びメモリアレイに用いられる材料は、この技術分野で知られた如何なる相変化記憶材料であってもよい。具体的な材料が米国特許番号、第5,166,758号、第5,296,716号、第5,414,271号、第5,359,205号、第5,341,328号、第5,536,947号、第5,534,712号、第5,687,112号、及び第5,825,046号で述べられており、開示内容は全て参考にして此処に取り入れてある。

【0094】

上述したように、特定の初期または消去抵抗値に設定する必要なく、材料の事前の抵抗値に無関係に、選択された電気入力信号に応じて、相変化材料が複数の抵抗値の一つに直接設定されることが出来るよう、相変化材料は直接上書き可能であることが好ましい。その上更に、相変化材料は、広いダイナミックレンジを持つことが好ましく、アナログ形式にバイナリーコード化情報を模擬することによって単一セル内にバイナリー情報の複数ビットをグレー・スケール記憶させ、それによりバイナリーコード化情報の複数ビットを単一セル内の单一抵抗値として記憶する。更にその上、相変化材料は、特定の初期または消去抵抗値に設定する必要なく、材料の事前の抵抗値に無関係に、選択された電気入力信号に応じて、相変化材料が複数の抵抗値の一つに直接設定されることが出来るよう、電気抵抗値の広いダイナミックレンジを持つであろう。

【0095】

本発明の一実施態様において、单一素子メモリ素子を規定する該容積の記憶材料は、電気抵抗の二つの明確に検出可能な水準を与えるような抵抗のダイナミックレンジを有することがあり、それにより単一ビットデータ記憶能力を与える。

【0096】

本発明のもう一つ他の実施態様においては、单一素子メモリ素子を規定する該容積の記憶材料は、少なくとも三つの明確に検出可能な水準の電気抵抗値を有することがあり、バイナリー情報の一つ以上のビットを記憶することが出来、それにより多重ビット記憶能力を与える。好ましくは、ダイナミックレンジと多重ビット能力が单一素子メモリ素子中に少なくとも二ビットのバイナリー情報のための記憶場所を提供するように、单一素子メモリ素子を規定する該容積の記憶材料は、電気抵抗値の少なくとも四つの明確に検出可能な水準を有するであろう。

【0097】

本発明の更にもう一つ他の実施態様においては、ダイナミックレンジと多重ビット能力が单一素子記憶メモリ素子中に少なくとも四ビットのバイナリー情報のための記憶場所を提供するように、抵抗のダイナミックレンジは、電気抵抗値の少なくとも十六の明確に検出可能な水準を与える。

【0098】

相変化記憶材料は、複数の元素から成り、その各々は記憶材料の全容積にわたって存在する。好ましくは、カルコゲン元素がTe、Se、及びそれらの混合物または合金から成る群より選ばれる。更に好ましくは、記憶材料はTe及びSeの混合物を含む。記憶材料は更に、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、O及びそれらの混合物または合金から成る群より選んだ少なくとも一つの元素を含むであろう。記憶材料は少なくとも一つの遷移金属元素を含むことがある。此處で使われる「遷移金属」という言葉は、元素21から30まで、39から48まで、57及び72から80までを包含する。好ましくは、一つまたはそれ以上の遷移金属元素がCr、Fe、Ni、Nb、Pd、Pt及びそれらの混合物または合金から成る群より選ばれる。

【0099】

本発明の評価基準に合うTeGeSb系材料の高抵抗状態における組成は、一般的に

、先行技術による電気的に消去可能な記憶材料存在する値に比較して、実質的にTeの濃度が低減されているのが特徴である、ということが確定されている。実質的に改善された電気スイッチング性能特性を与える一組成においては、析出されたままの材料中におけるTeの平均濃度は70%より十分低く、典型的には約60%より低く、一般に約23%のように低いところから上へ約58%Teまで幅があり、最も好ましいのは約40%から58%Teまでであった。Geの濃度は約5%より上であり、約8%の低いものから約30%まで平均的材料には範囲があり、残りのものは一般的に50%以下であった。この組成における主成分元素で残っているものはSbであった。与えられた百分率は原子百分率で、成分元素の原子は合計して100%に成る。それで、この組成は $\text{Te}_a \text{Ge}_b \text{Sb}_{100-(a+b)}$ として表わせるであろう。これらの三元系Te-Ge-Sb合金は、更により電気特性を有する新しい記憶材料の開発に対して有益な出発材料である。

【0100】

上で吟味したように、本発明の記憶材料は少なくとも一つのカルコゲンを含み、少なくとも一つの遷移金属元素を含むことがある。遷移金属を含む記憶材料はTe-Ge-Sb三元系記憶材料の根本的に改質した同類物である。即ち根本的に改質された記憶材料はTe-Ge-Sb記憶合金の改質された同類物を構成している。この根本的改質は、Seのような追加のカルコゲン元素を加えるか又は加えないで、基本的なTe-Ge-Sb三元系の中へ遷移金属を取り込むことによって達成される。一般的に、根本的に改質された記憶材利用は二つの範疇に入れられる。

【0101】

第一の範疇は、Te、Ge、Sb及び遷移金属を $\text{Te}_a \text{Ge}_b \text{Sb}_{100-(a+b)} \text{TM}_{100-c}$ の割合で含む相変化記憶材料であり、下付き文字は合計が100%に成る成分元素の原子百分率で、TMは一つ以上の遷移金属、a及びbは上で述べたように基本的なTe-Ge-Sb三元系に対するものであり、cは約90%と約99.99%の間である。遷移金属は、好ましくはCr、Fe、Ni、Nb、Pd、Pt及びそれらの混合物又は合金を包含する。

【0102】

第二の範疇は、Te、Ge、Sb、Se及び遷移金属を $(\text{Te}_a \text{Ge}_b \text{Sb}_{100-(a+b)})_c \text{TM}_d \text{Se}_1$ の割合で含む相変化記憶材料であり、下付き文字は合計が100%に成る

成分元素の原子百分率で、TMは一つ以上の遷移金属、a及びbは上で述べたように基本的なTe-Ge-Sb三元系に対するものであり、cは約90%と約99.5%の間で、dは約0.01%と10%の間である。遷移金属は、好ましくはCr、Fe、Ni、Nb、Pd、Pt及びそれらの混合物又は合金を包含する。

【0103】

本発明を応用したメモリ素子は実質的に不揮発性設定抵抗値を有する。しかし、もしもある環境下で、抵抗値がその元の設定値からドリフトした場合は、以下に述べる「組成的改質」がこのドリフトを相殺するのに用いられるであろう。此処で用いられるように、「不揮発性」という言葉は、設定された抵抗値が公文書の保管期間の間実質的に一定に保たれる状態を意味するであろう。勿論、ソフトウェア(以下に述べるフィードバック系を含めて)を、選択した誤差の余裕の範囲外では「ドリフト」が絶対におきないことを保証するために採用することが出来る。抵抗値のドリフトは、もしそのままにされると、情報のグレー・スケール記憶が妨げられるので、ドリフトは最小化するのが望ましい。

【0104】

「組成的改質」は此處では、該容積の記憶材料を組成的に修正して実質的に安定な抵抗値を生ぜしめる如何なる手段をも包含することと定義され、材料の固有の抵抗を増加させるバンドギャップ拡張元素の添加を含む。組成的改質の一例は、厚さ方向に次第に変化させた組成的不均一性を有することである。例えば、該容積の記憶材料が第一のTe-Ge-Sb合金から組成の異なる第二のTe-Ge-Sb合金へと次第に変化せざることがある。組成的勾配付けは、設定された抵抗値のドリフトを低減するものであれば如何なる形式をとってもよく、同じ合金系の第一と第二の合金に限定する必要はない。更に、勾配付けは二つ以上の合金を用いて達成することも出来る。勾配付けは均質で且つ連続的でもよいし、又は不均質で且つ不連続であることも可能である。抵抗値ドリフトの低減をもたらす組成的勾配付けの具体例は、一方の面での $Ge_{14}Sb_{29}Te_{57}$ から対向する面での $Ge_{22}Sb_{22}Te_{56}$ までの均質で連続的な勾配付けをふくむ。

【0105】

組成的改質を採用するもう一つの方法は、該容積の記憶材料を層構造にして抵

抗のドリフトを低減することである。即ち、該容積の記憶材料は、別々の、比較的薄く、組成が異なる複数の層から形成されるであろう。例えば、該容積の記憶材料は、一対以上の複数の層を含むことがあり、各層はそれぞれ異なったTe-Ge-Sb合金から形成される。組成的勾配付けの場合と同様、実質的に低減された抵抗値ドリフトがもたらされるならば、如何なる層の組み合わせでも採用できる。層は同じような厚さであってもよいし、異なった厚さであってもよい。如何なる層数を用いてもよいし、同じ合金の複数の層が該容積の記憶材料内に存在してそれが連続していても互いに離れていてもよい。合金組成の異なる層を如何なる数だけ用いてもよい。組成的層構造化の具体例は、 $\text{Ge}_{14}\text{Sb}_{29}\text{Te}_{57}$ 及び $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ が交互に現れる複数の層を含むある容積の記憶材料である。

【0106】

抵抗ドリフトを低減する組成的不均一性の更にもう一つ他の構成は、組成的勾配付けと組成的層構造化を組み合わせることにより達成される。より具体的には、先に述べた組成的勾配付けが、上述した組成的層構造化の何れかと組み合わせて、ある容積の安定した記憶材料を形成するであろう。この組み合わせを用いる記憶材料の好例は、(1) $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ の単独層の後に $\text{Ge}_{14}\text{Sb}_{29}\text{Te}_{57}$ 及び $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ の勾配がついた組成が続くものを含むある容積の記憶材料、及び(2) $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ の単独層及び $\text{Ge}_{14}\text{Sb}_{29}\text{Te}_{57}$ と $\text{Ge}_{22}\text{Sb}_{22}\text{Te}_{56}$ の勾配がついた組成を含むある容積の記憶材料。

【0107】

此處に述べた開示内容は、本発明の十分で且つ完全な開示を行うことを目的として記述された、詳細な実施態様の形態で提示されていること、並びに、添付した特許請求の範囲に記述され規定されているように、このような詳細が本発明の真の範囲を制限するものと解釈されるべきではないこと、が理解されるべきである。

【図面の簡単な説明】

【図1】

伝導性側壁スペーサから成る本発明の記憶装置の断面図である。

【図2】

伝導性側壁スペーサから成り、チャネル長さに平行な本発明のメモリアレイの断面図である。

【図3】

伝導性側壁スペーサから成り、チャネル幅に平行な本発明のメモリアレイの断面図である。

【図4】

本発明のメモリアレイの概略図である。

【図5】

図5Aから図5Dは、本発明のメモリアレイを作製するための一連の処理工程を示す概略断面図である。

【図6】

狭隘化された伝導性側壁スペーサから成る、本発明のメモリアレイの幅を通る断面図である。

【図7】

二重層伝導性側壁スペーサから成る本発明の記憶装置の断面図である。

【図8】

図8Aから図8Eは、二重層伝導性側壁スペーサから成る記憶装置を作製する、一連の処理工程を示す概略断面図である。

【図9】

経由孔内に形成された伝導性側壁スペーサからなる本発明のメモリ素子の立体図である。

【図10】

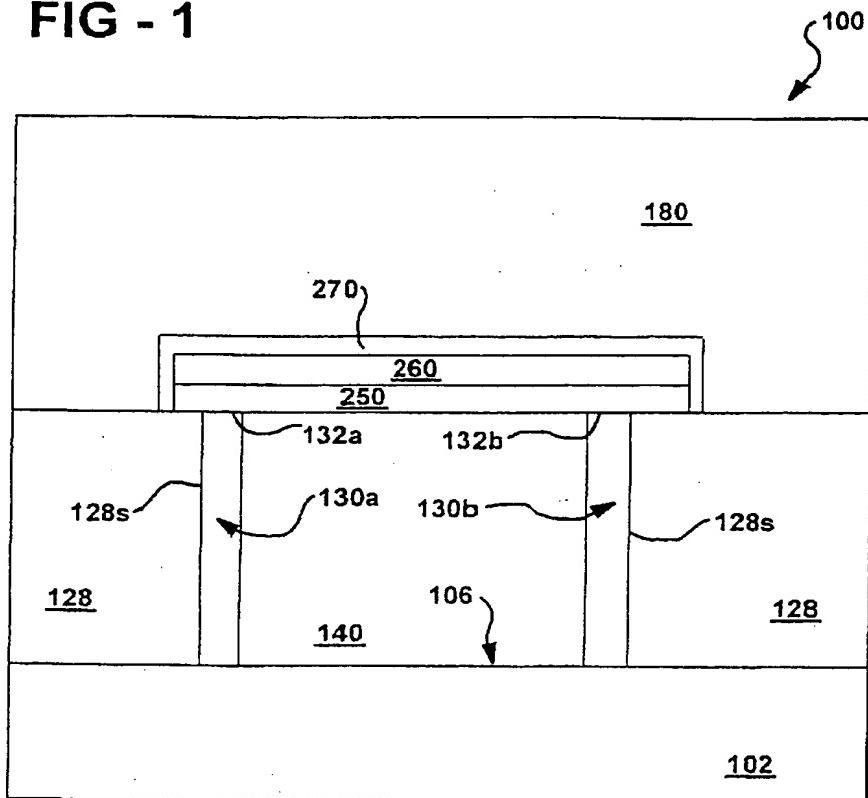
図10Aは、記憶材料に隣接した開口端を有する椀状面から成る本発明のメモリ素子の立体図であり、図10Bは、記憶材料に隣接した開口端を有する椀状面から成る本発明のメモリ素子の断面図である。

【図11】

図11Aは、記憶材料に隣接した接合層としての接合を具備するメモリ素子の立体図であり、図11Bは、記憶材料に隣接した接合層としての接合を具備するメモリ素子の断面図である。

【図1】

FIG - 1



【图2】

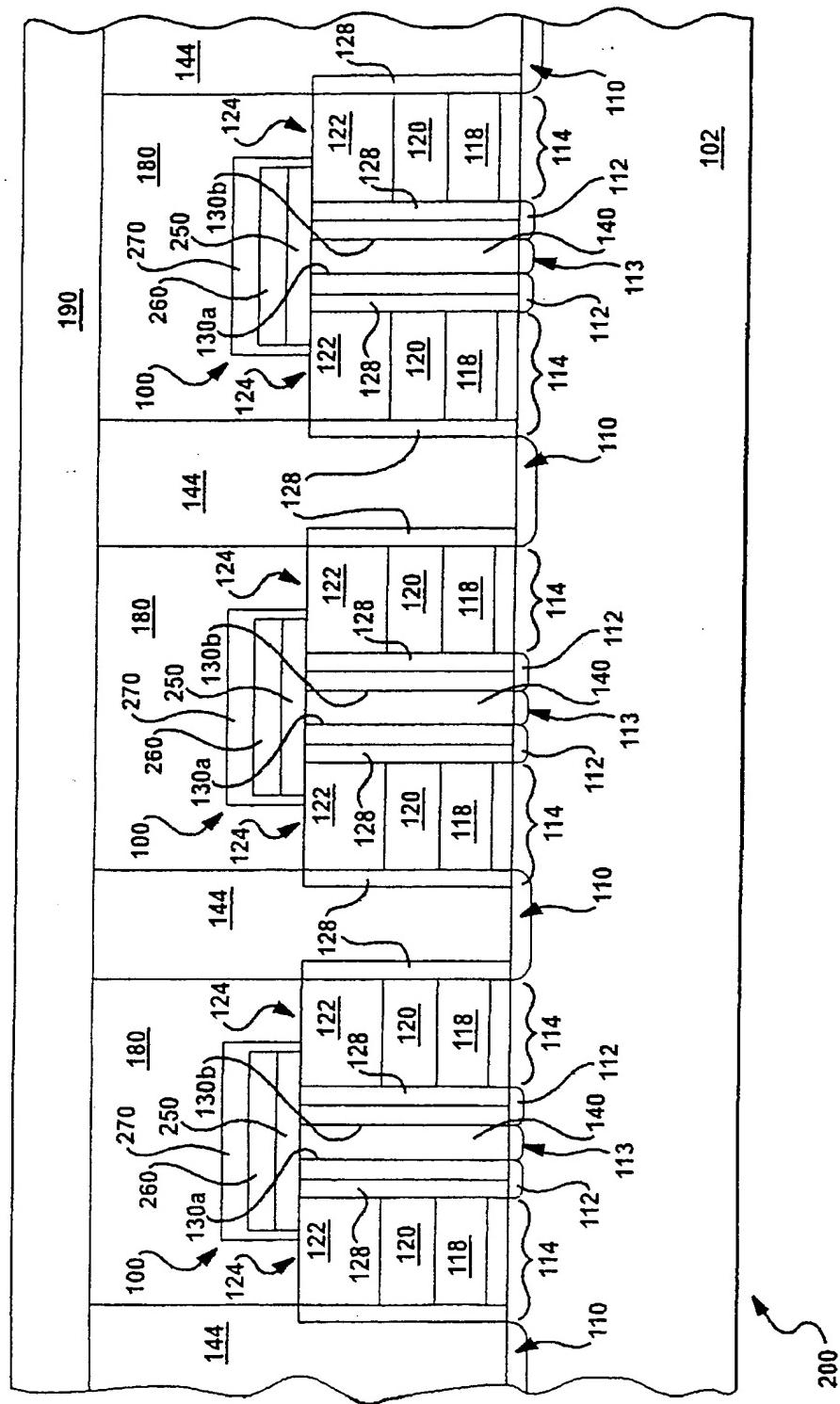


FIG - 2

【図3】

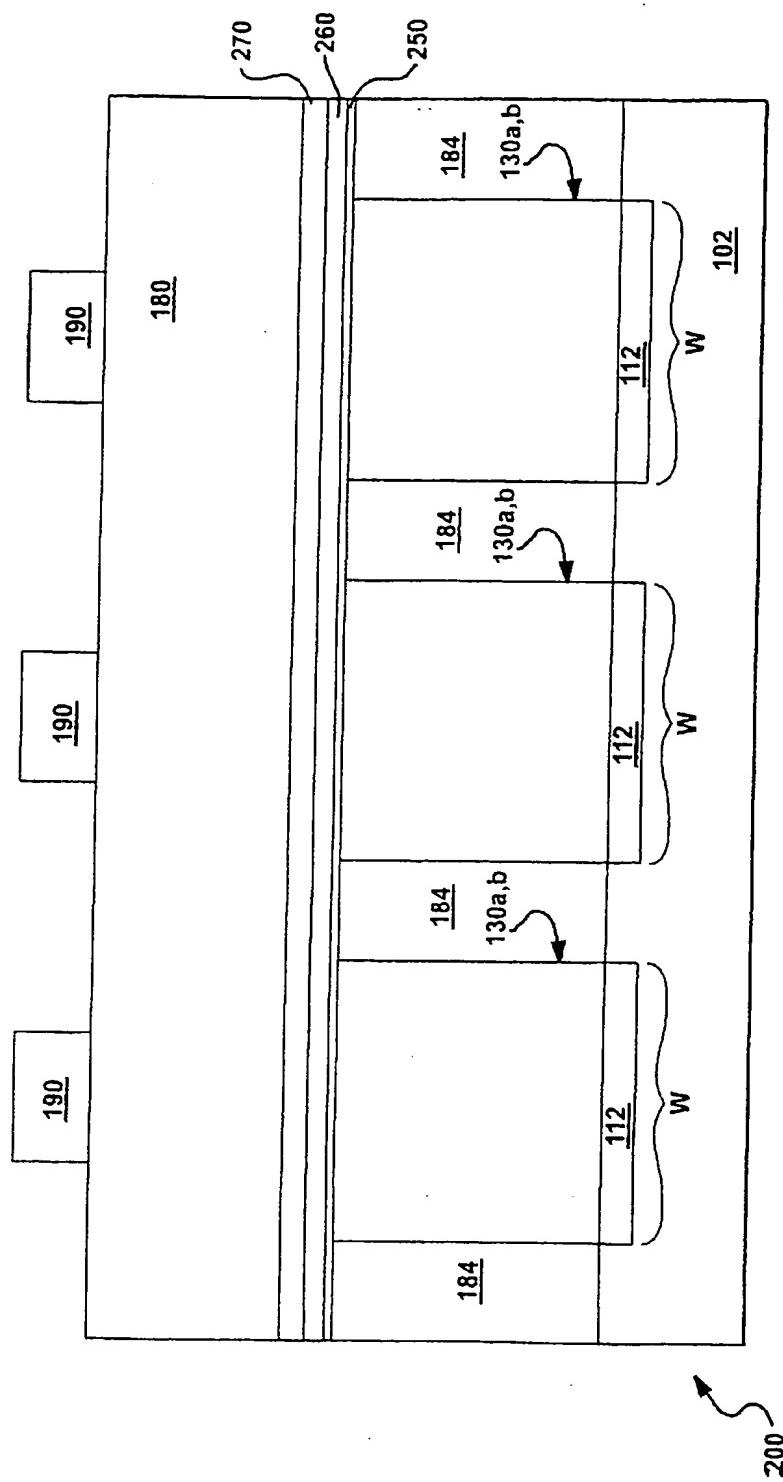
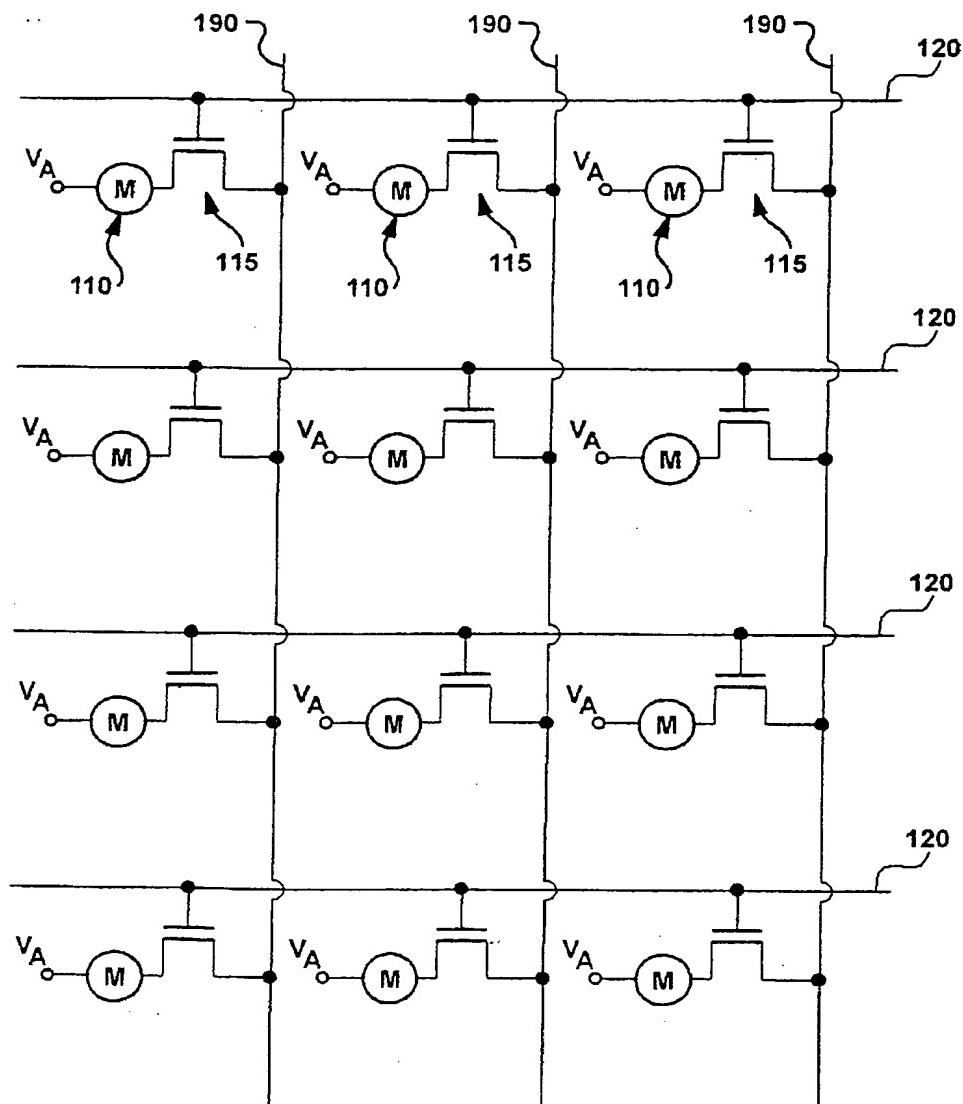


FIG - 3

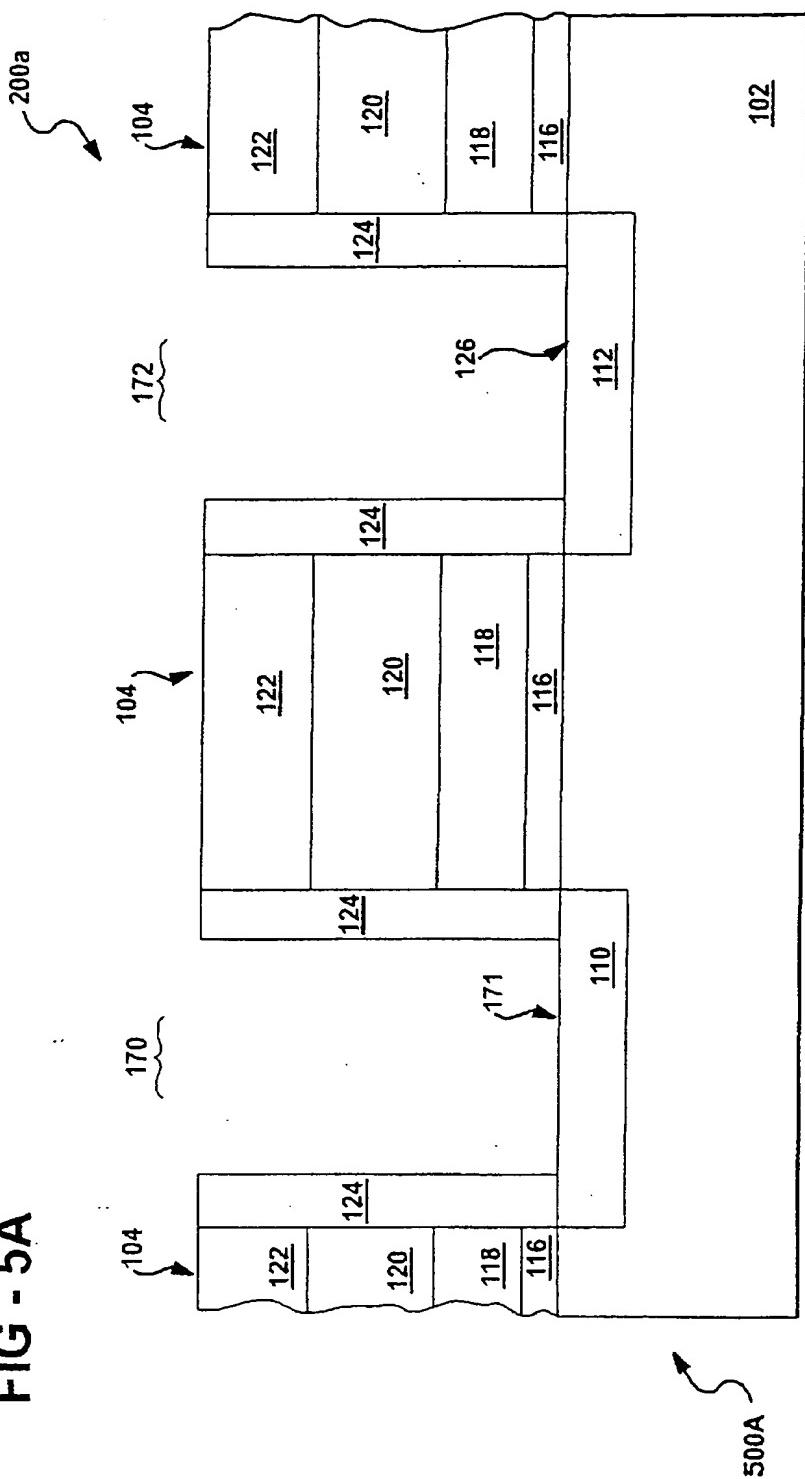
【図4】

FIG - 4



【図5A】

FIG - 5A



【図5B】

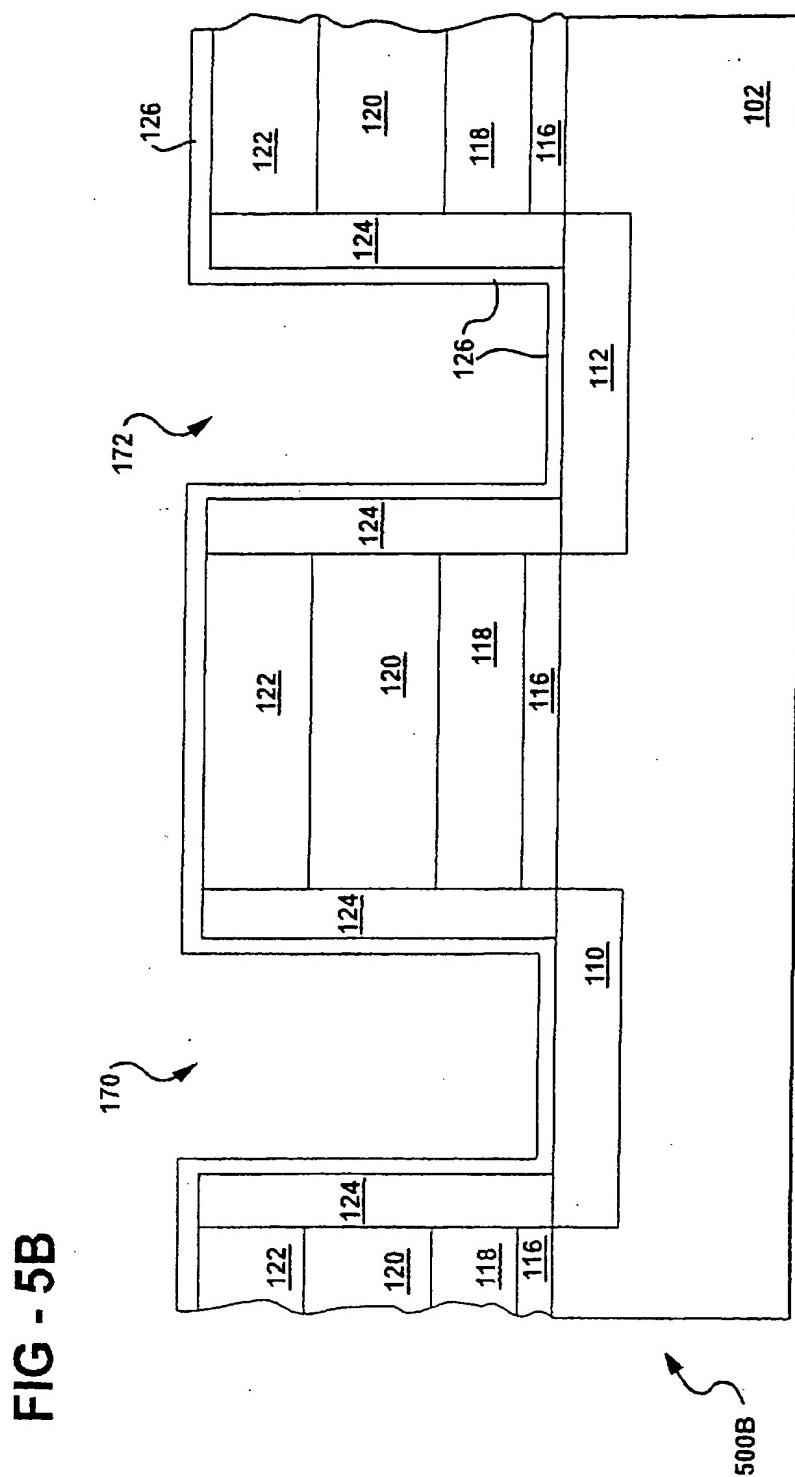
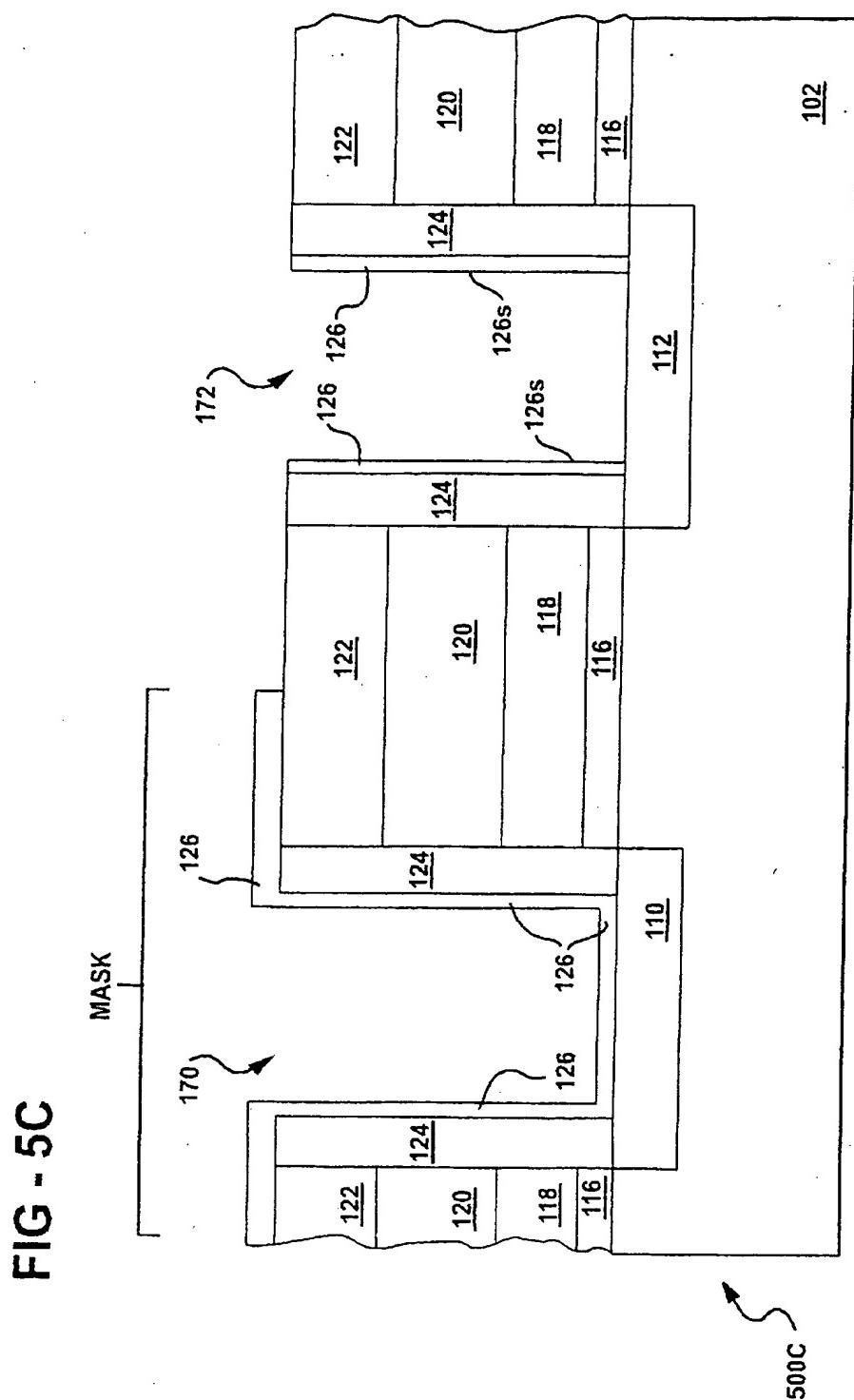
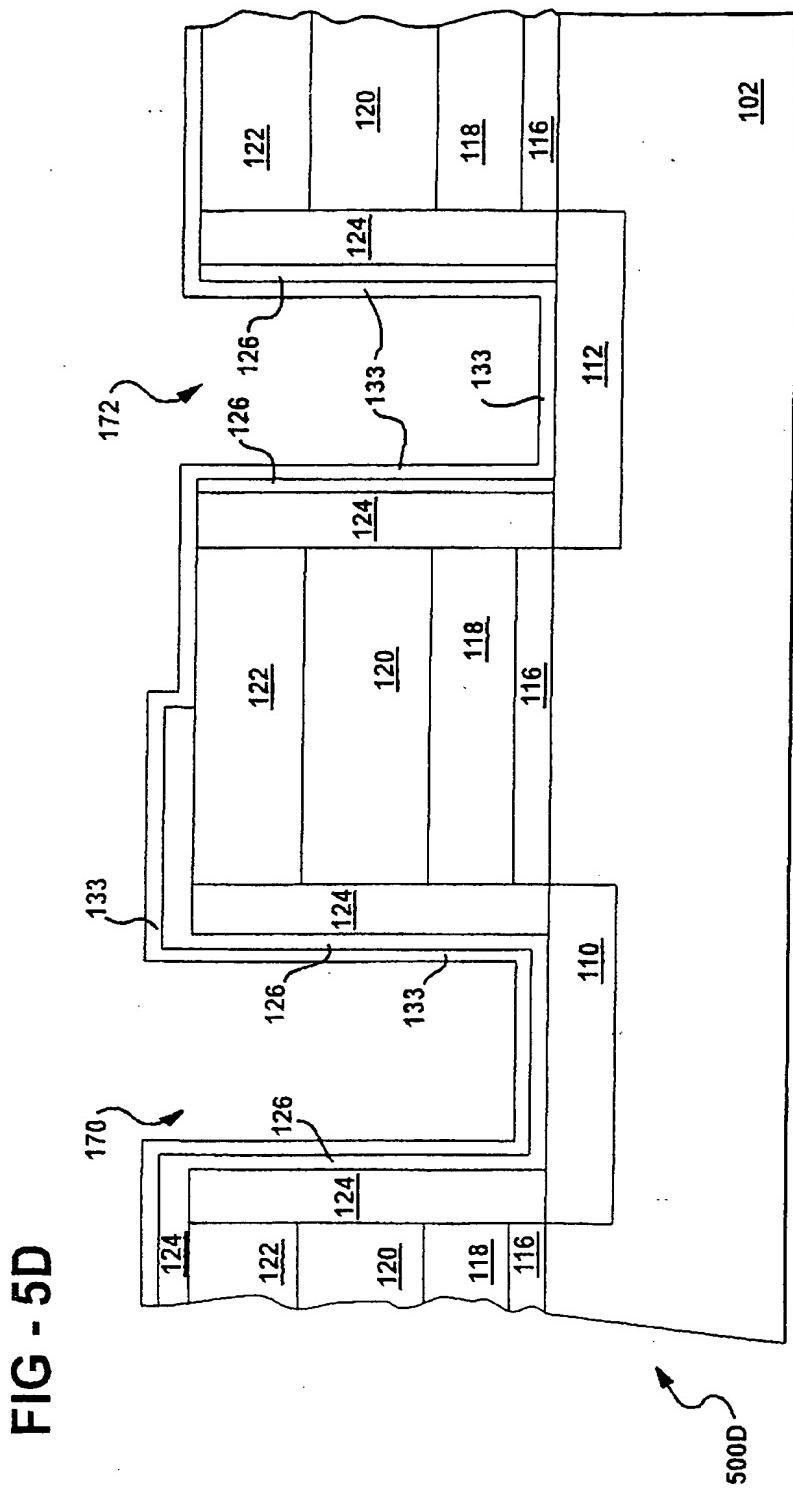


FIG - 5B

【図5C】

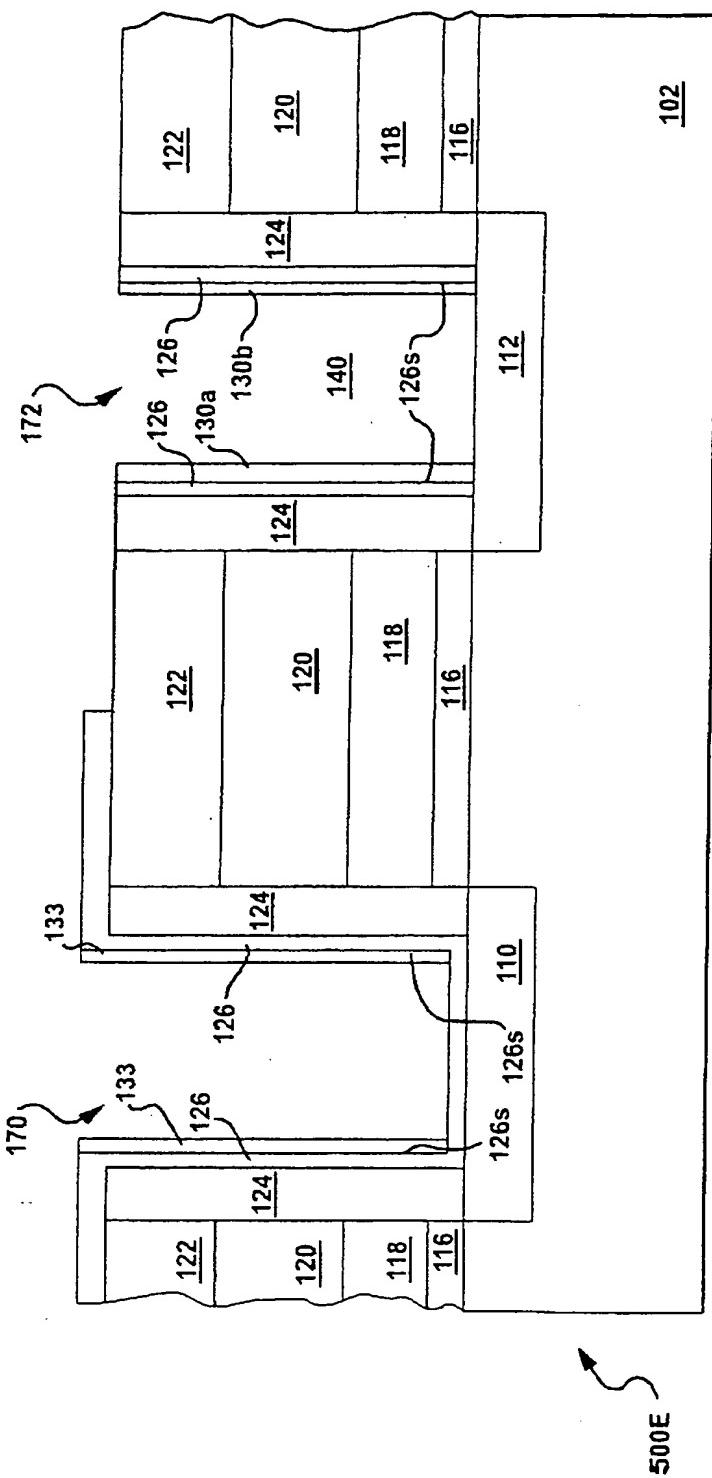


【図5D】



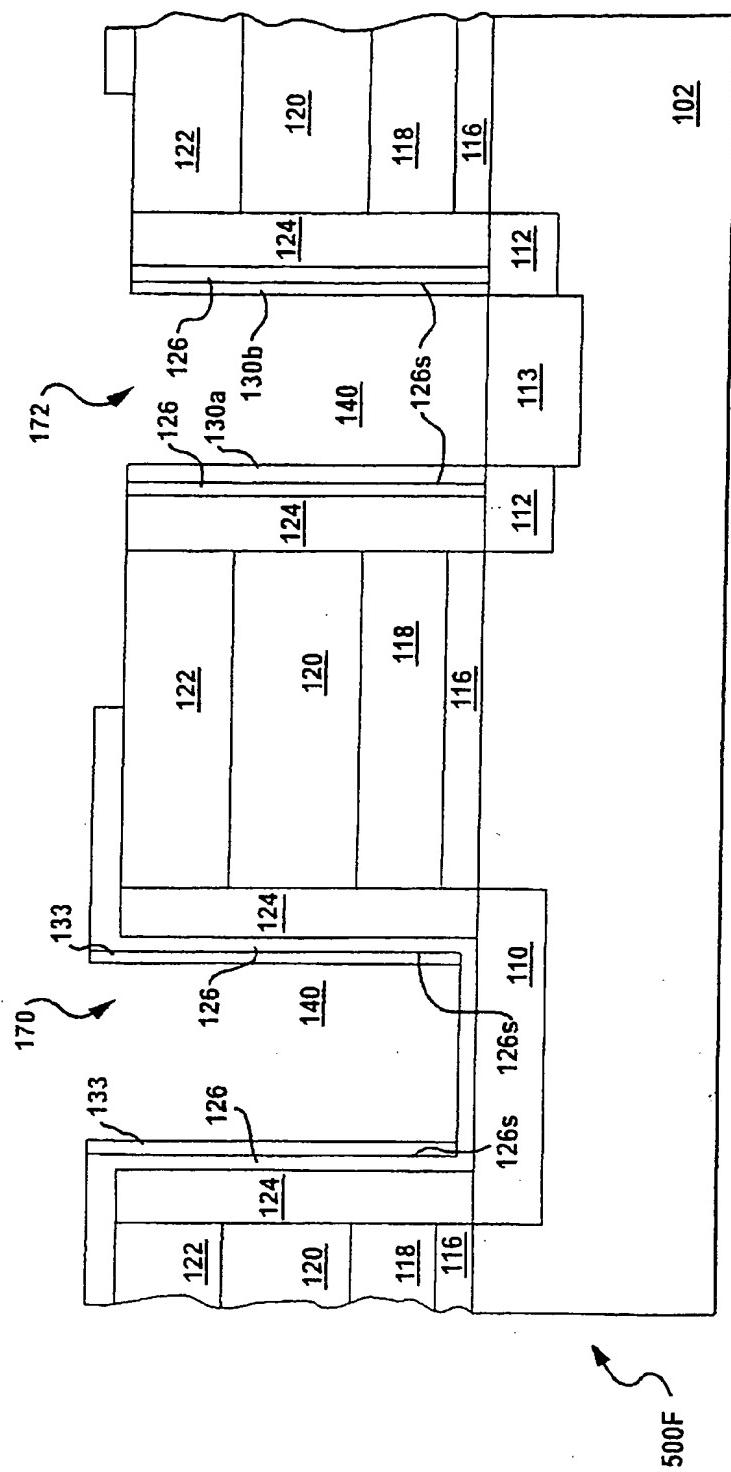
【図5E】

FIG - 5E



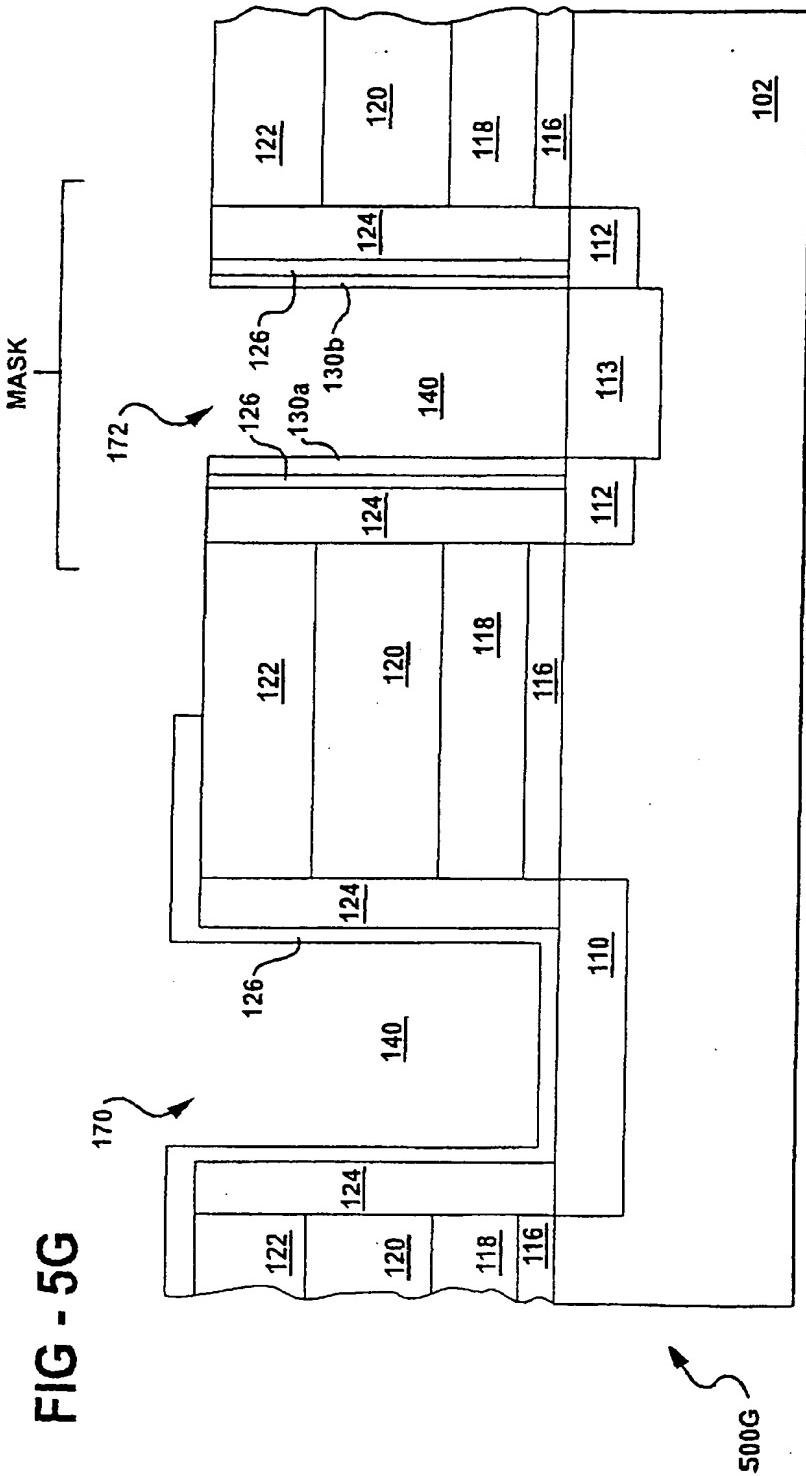
【図5F】

FIG - 5F



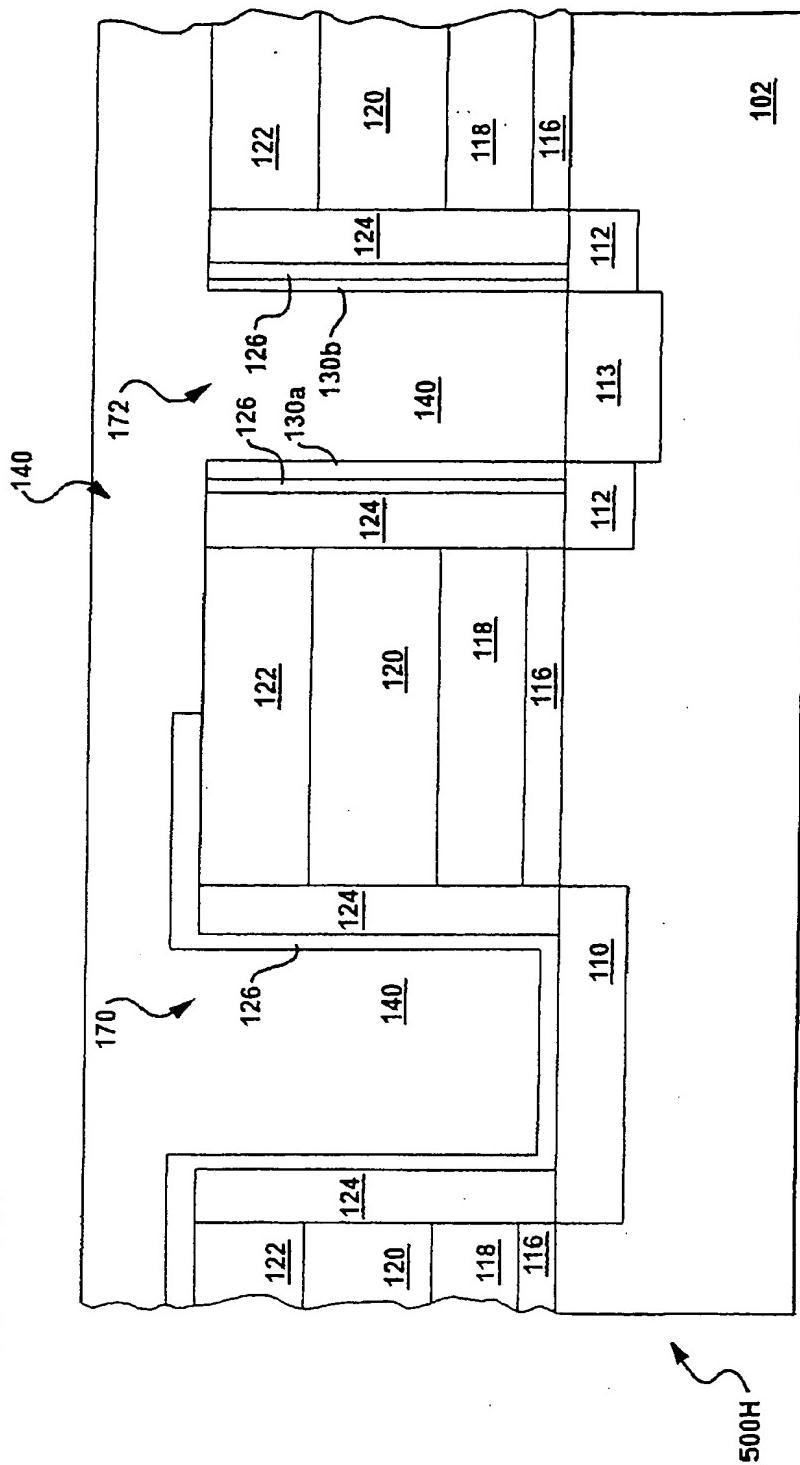
500F

【図5G】

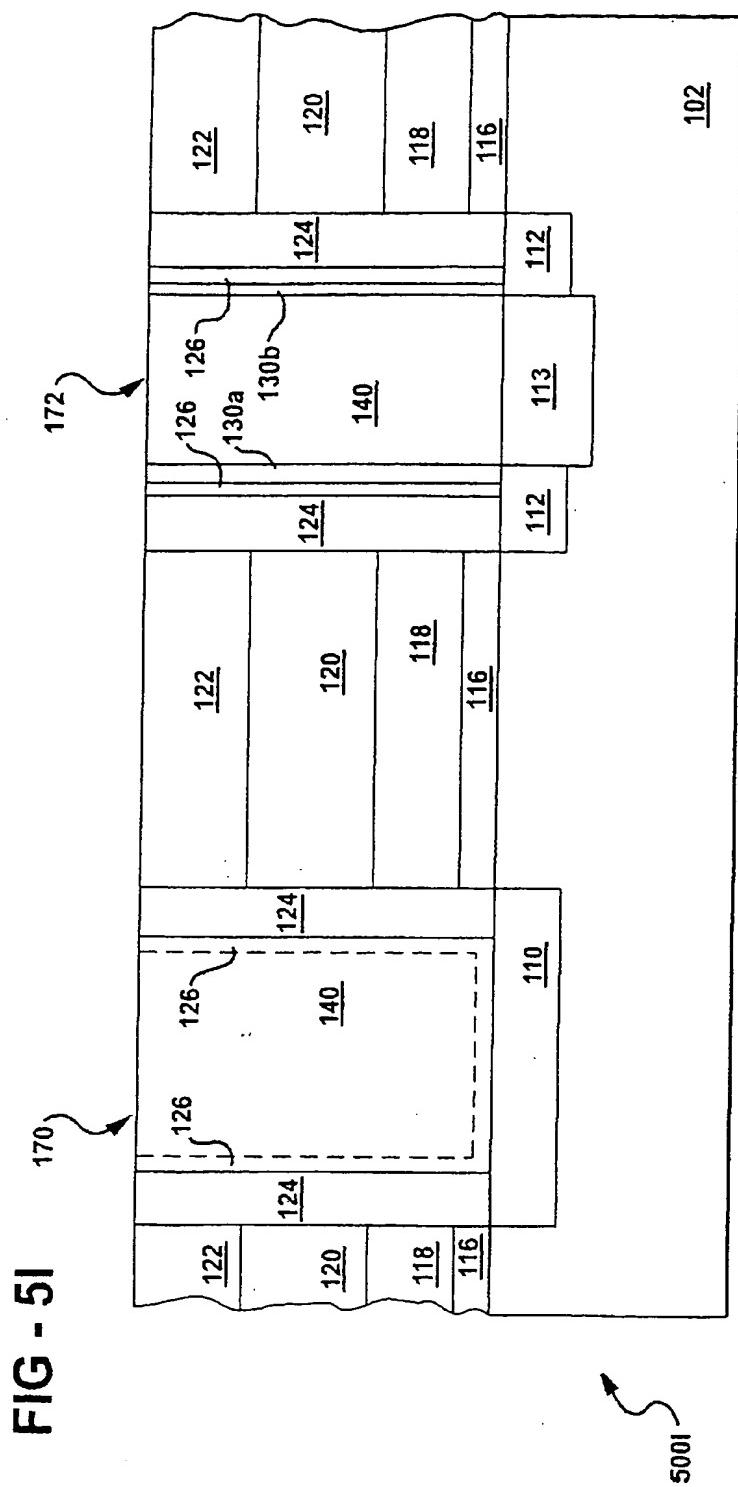


【図5H】

FIG - 5H

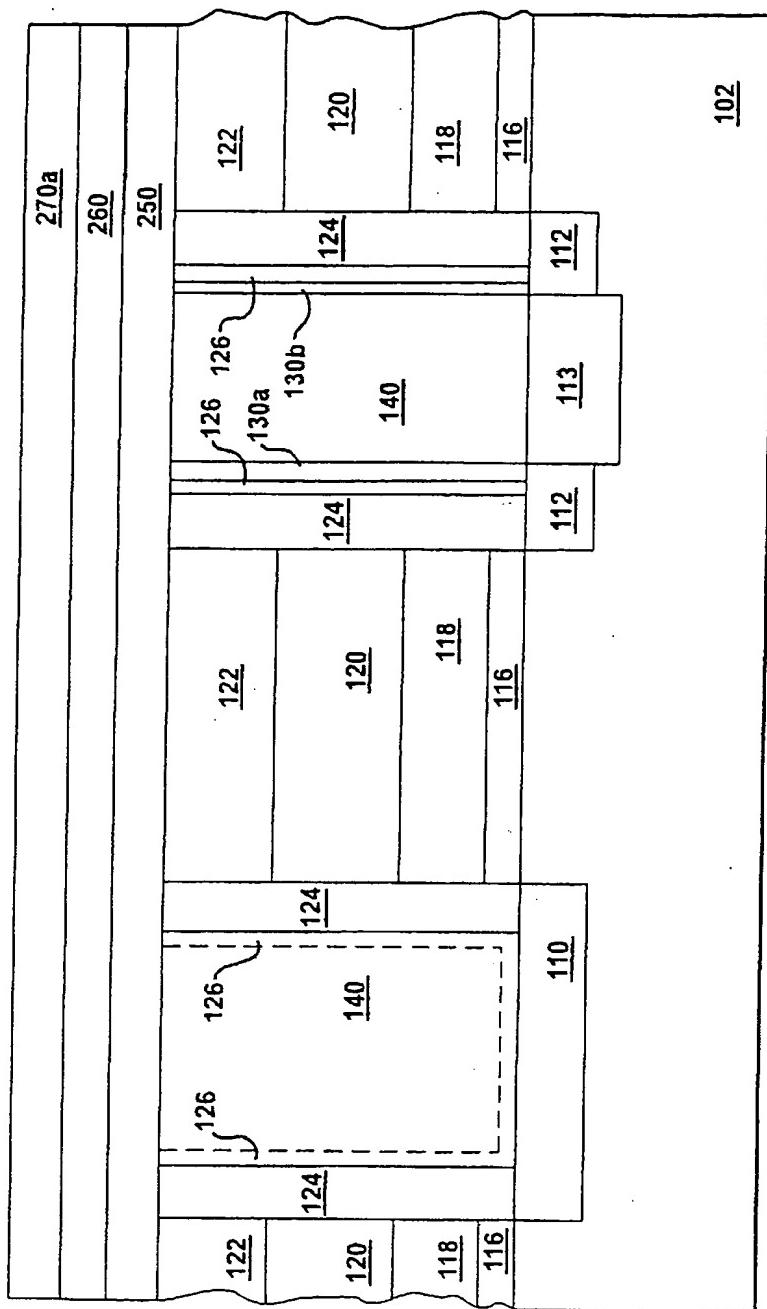


【図51】



【図5J】

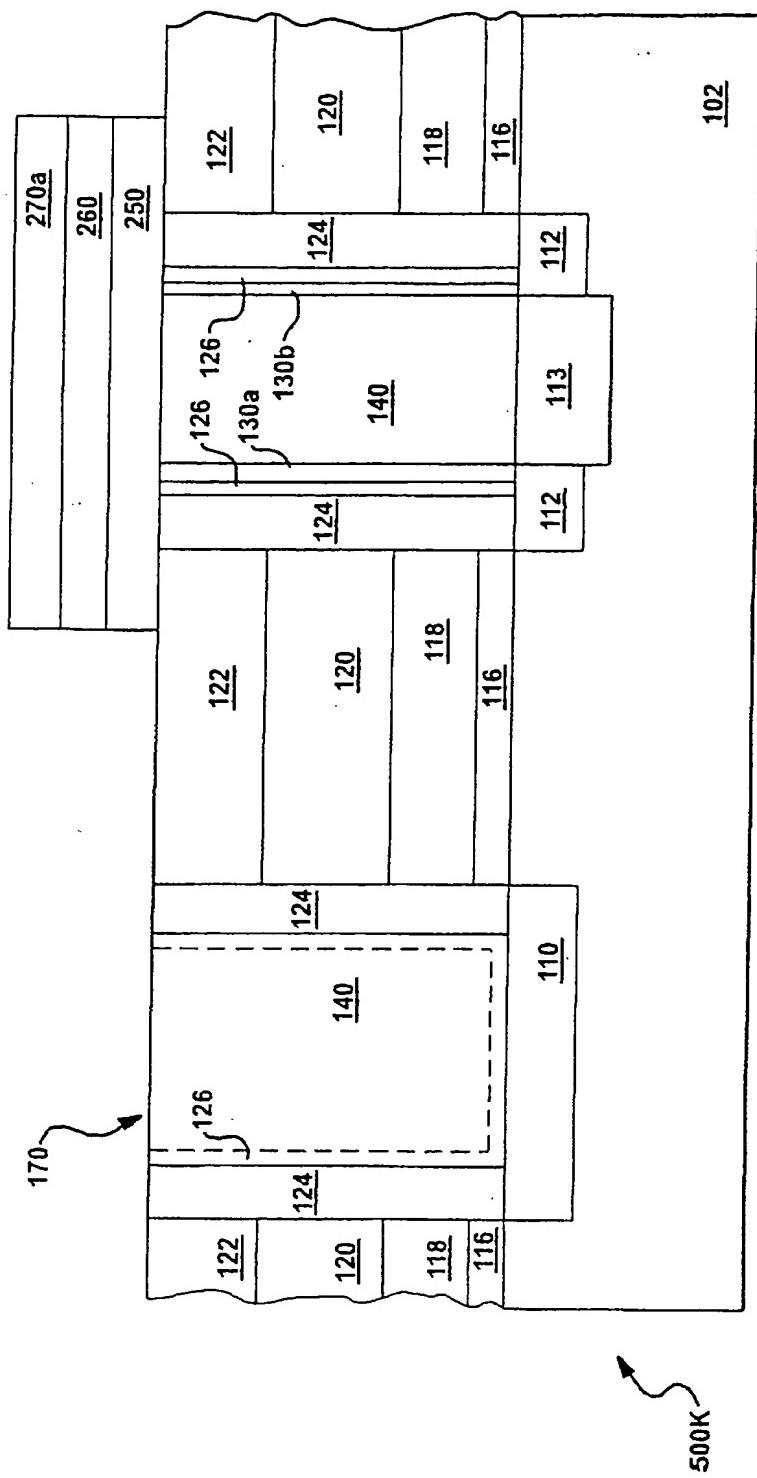
FIG - 5J



500J

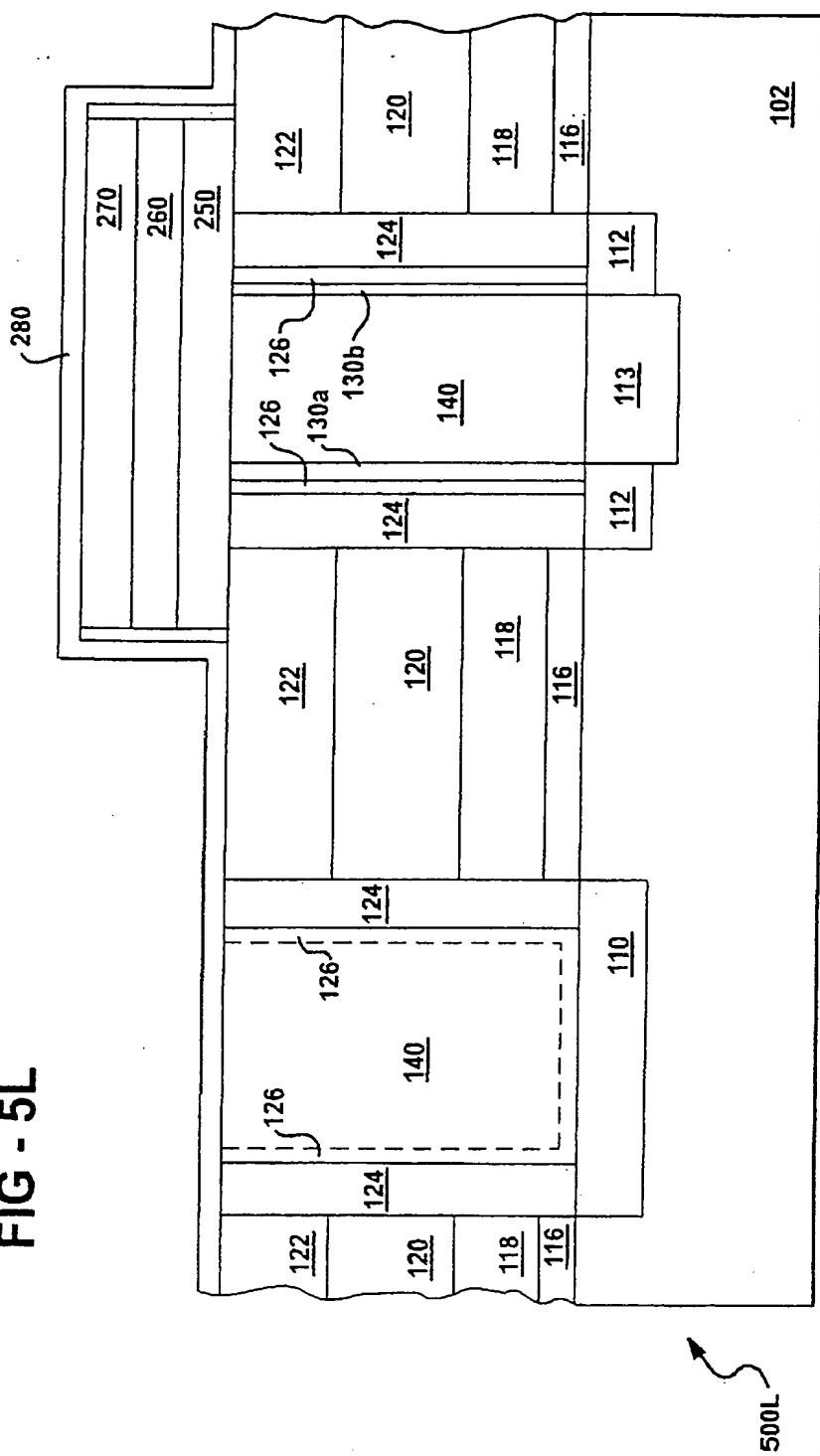
【図5K】

FIG - 5K



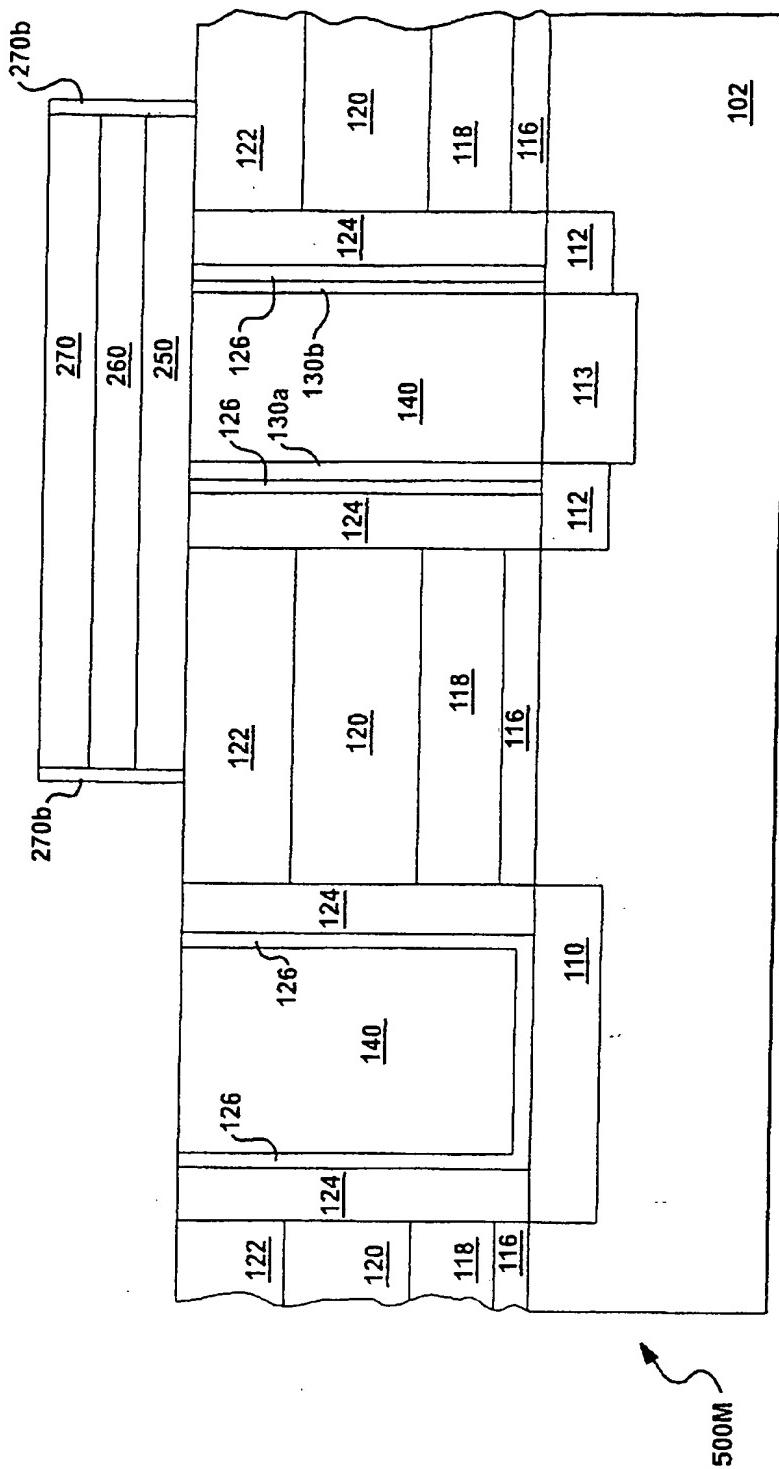
【図5L】

FIG - 5L



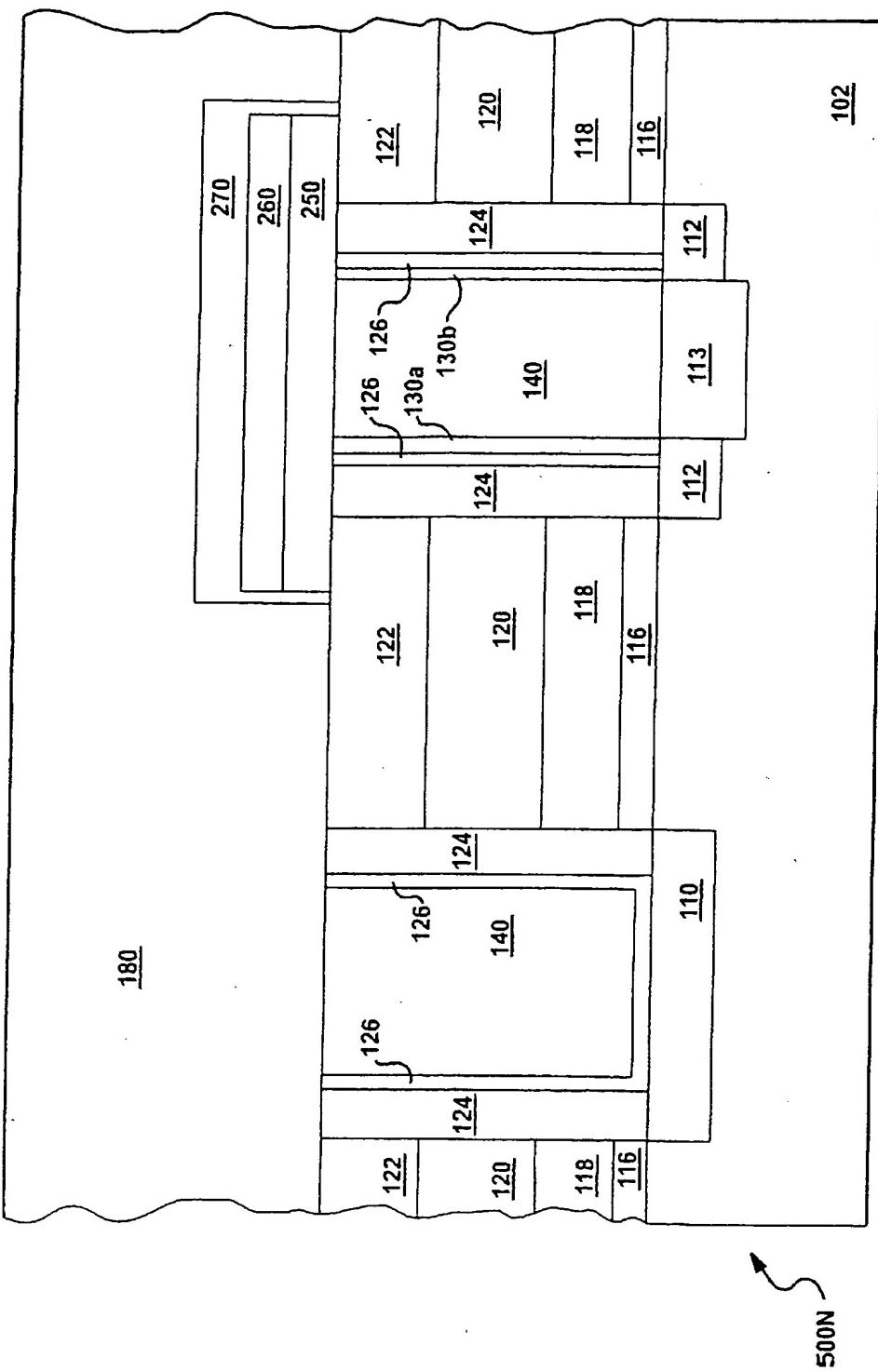
【図 5M】

FIG - 5M



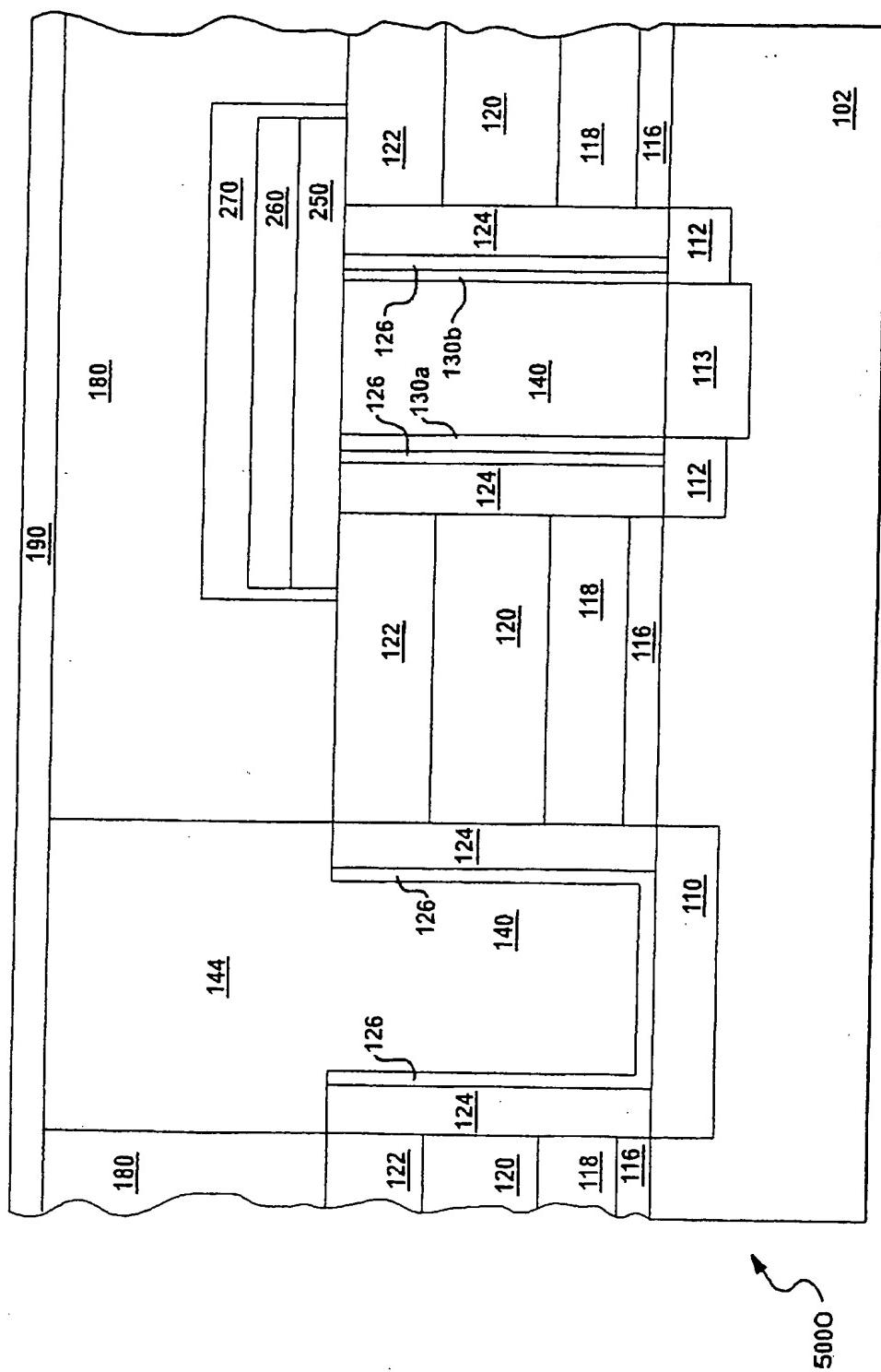
【図5N】

FIG - 5N



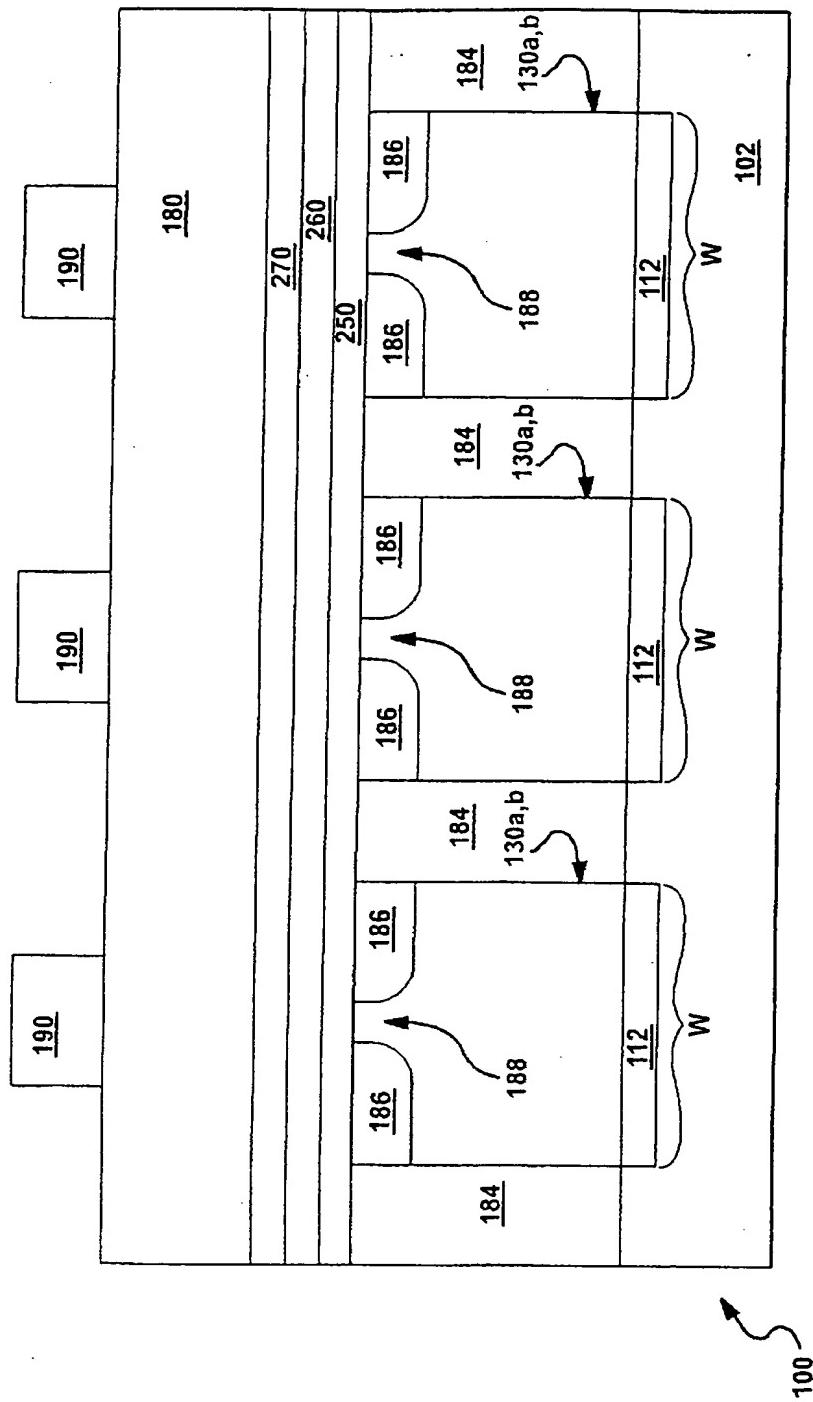
【図50】

FIG - 50



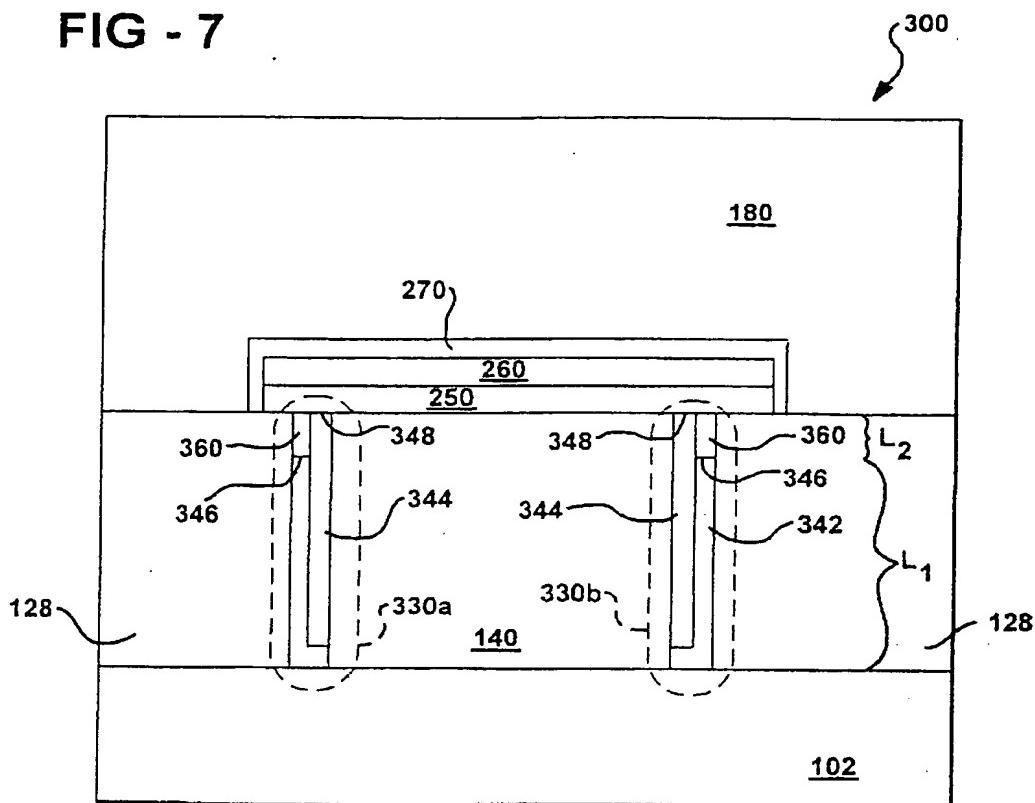
【図6】

FIG - 6



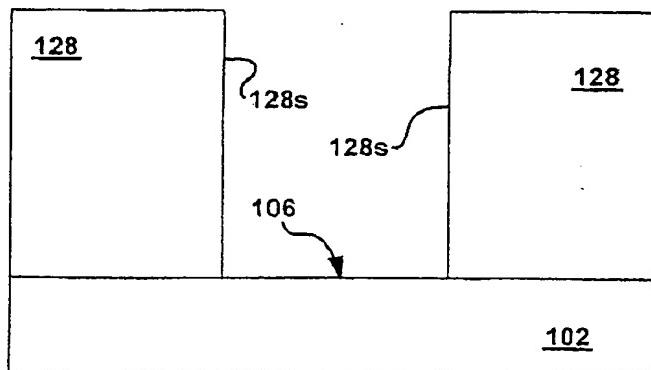
【図7】

FIG - 7

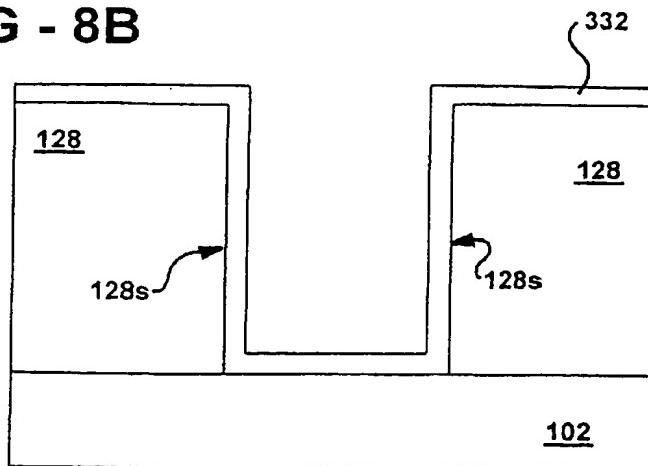


【図8A】

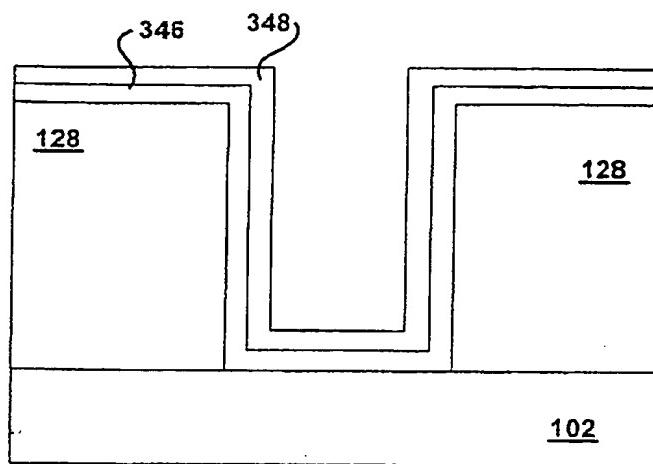
FIG - 8A



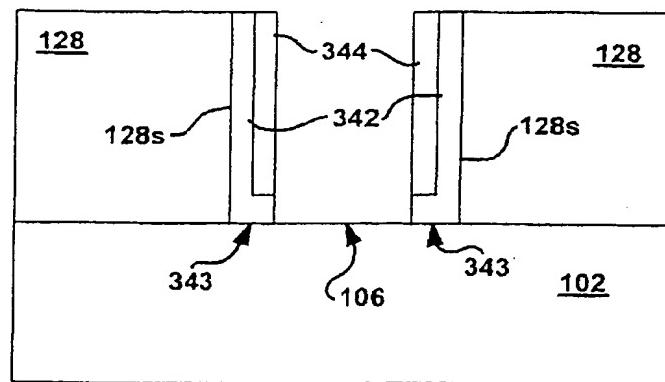
【図8B】

FIG - 8B

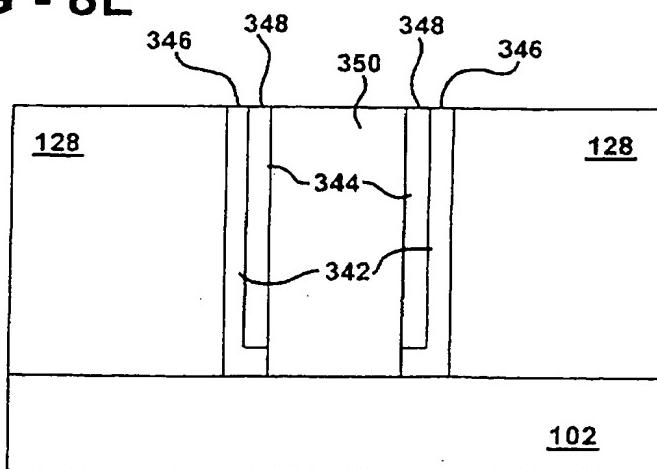
【図8C】

FIG - 8C

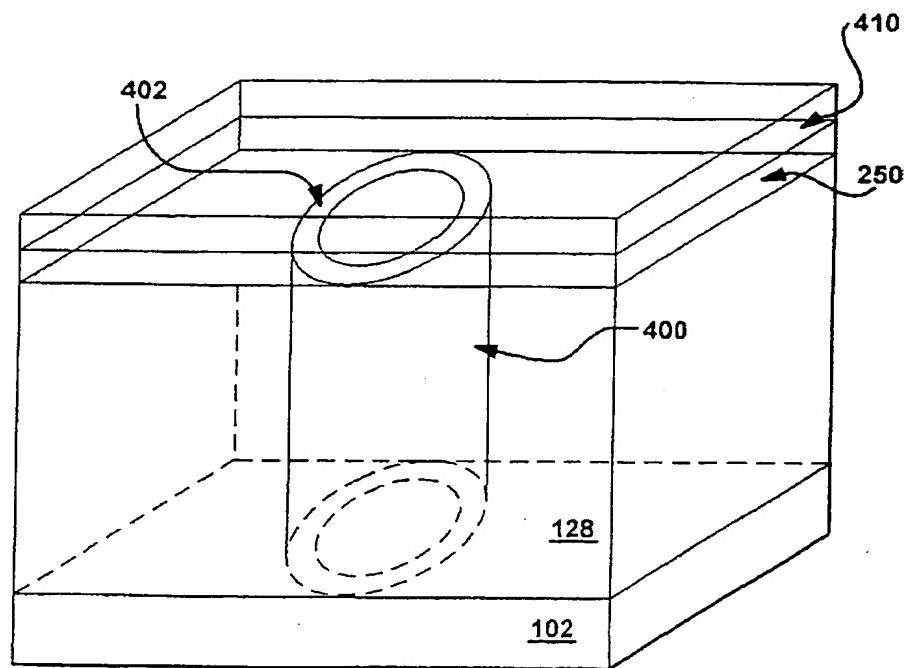
【図8D】

FIG - 8D

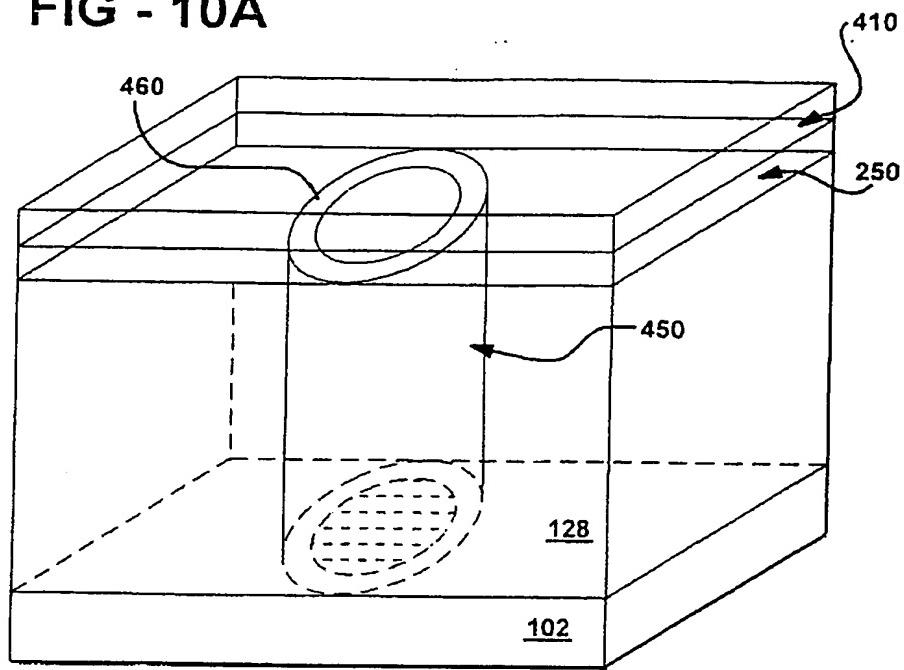
【図8E】

FIG - 8E

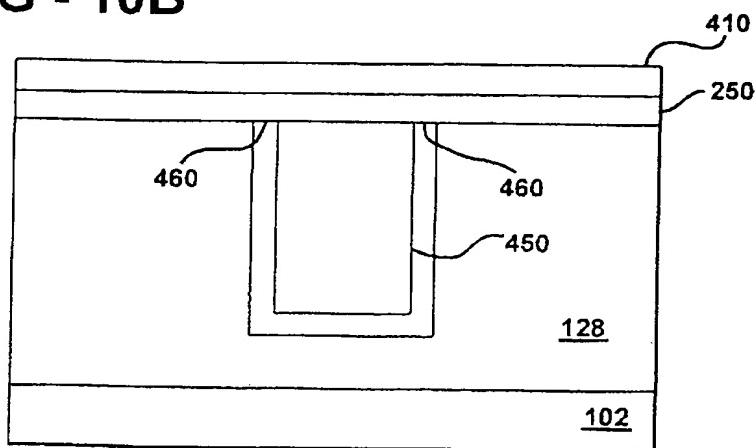
【図9】

FIG - 9

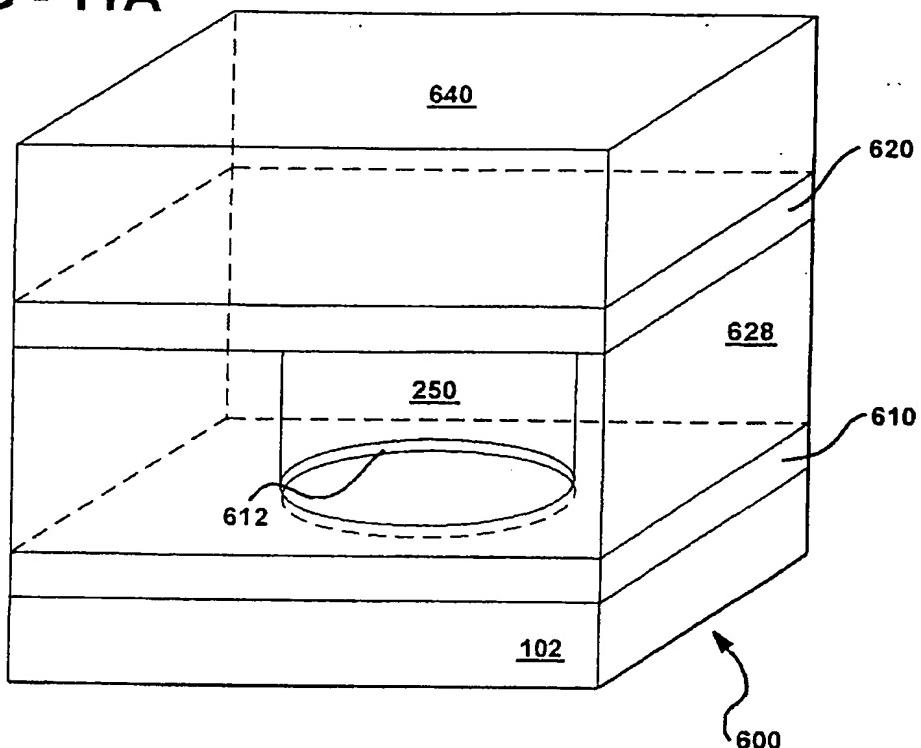
【図10A】

FIG - 10A

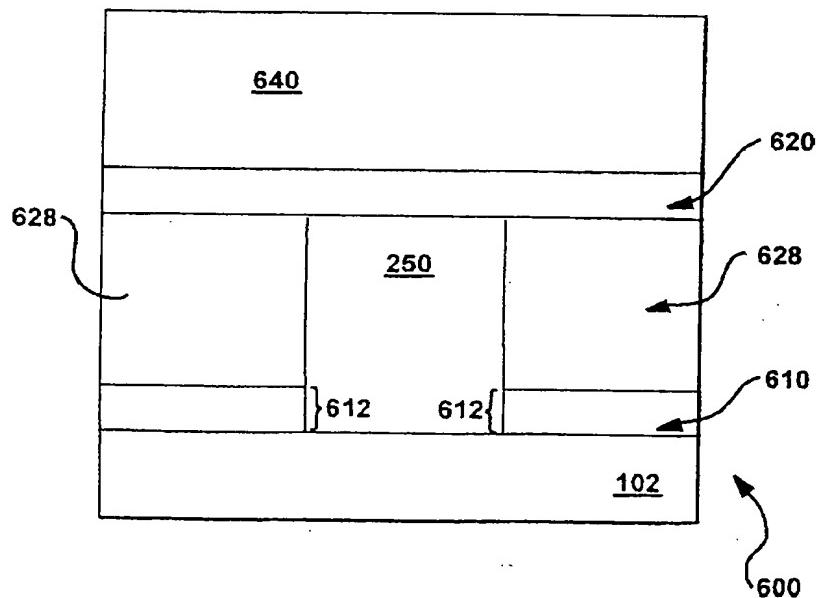
【図10B】

FIG - 10B

【図11A】

FIG - 11A

【図11B】

FIG - 11B

【手続補正書】

【提出日】平成13年10月5日(2001.10.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 以下を具備するメモリ素子：

伝導性層；

第一誘電材料及び第二誘電材料、前記伝導性層の少なくとも一部が第一と第二誘電材料の間に配置され、其処には前記伝導性層の端部が露出されている；及び前記導電性層と電気的に連通しているプログラム可能な抵抗材料、実質的に全ての前記連通は前記端部を通して行なわれる。

【請求項2】 前記第一誘電材料がそれ自身に形成された側壁面を具備し、前記伝導性層が前記側壁面に接して配置されていることを特徴とする、請求項1のメモリ素子。

【請求項3】 前記端部が環状接合又は線状接合であることを特徴とする、請求項1のメモリ素子。

【請求項4】 前記端部が、前記プログラム可能な抵抗材料の少なくとも一部を取り囲んでいることを特徴とする、請求項1のメモリ素子。

【請求項5】 前記伝導性層が楕円形であり、前記楕円形伝導性層が前記プログラム可能な抵抗材料に隣接した開口を有することを特徴とする、請求項1のメモリ素子。

【請求項6】 前記プログラム可能な抵抗材料が、相変化材料から成ることを特徴とする、請求項1のメモリ素子。

【請求項7】 前記プログラム可能な抵抗材料が、カルコゲン元素から成ることを特徴とする請求項1のメモリ素子。

【請求項8】 以下を具備するメモリ素子；

第一誘電材料；

前記第一誘電材料に接して析出された伝導性層；

前記伝導性層に接して析出された第二誘電材料、其処には前記伝導性層の端部が露出されている；及び

前記伝導性層と電気的に連通しているプログラム可能な抵抗材料、実質的に全ての連通は前期端部を通して行われる。

【請求項9】 前記第一誘電材料がそれ自身に形成された側壁面を具備し、

前記伝導性層が前記側壁面に接して配置されていることを特徴とする、請求項8のメモリ素子。

【請求項10】 前記端部が環状接合又は線状接合であることを特徴とする、請求項8のメモリ素子。

【請求項11】 前記端部が、前記プログラム可能な抵抗材料の少なくとも一部を取り囲んでいることを特徴とする、請求項8のメモリ素子。

【請求項12】 前記伝導性層が椀形をなしており、前記椀形伝導性層が前記プログラム可能な抵抗材料に隣接した開口を有することを特徴とする、請求項8のメモリ素子。

【請求項13】 前記プログラム可能な抵抗材料が、相変化材料から成ることを特徴とする、請求項8のメモリ素子。

【請求項14】 前記プログラム可能な抵抗材料が、カルコゲン元素から成ることを特徴とする請求項8のメモリ素子。

【請求項15】 以下を具備するメモリ素子；

その中に形成された側壁面を具備する第一誘電材料；

前記側壁面に接して析出された伝導性側壁スペーサ；

前記伝導性側壁スペーサに接して析出された第二誘電材料、其処には前記スペーサの端部が露出されている；及び

前記スペーサと電気的に連通しているプログラム可能な抵抗材料、実質的に全ての連通は前期端部を通して行われる。

【請求項16】 前記伝導性側壁スペーサが少なくとも第一及び第二伝導性層を備え、前記第一伝導性層が前記側壁面に接して配置され、前記第二伝導層が前

記第一伝導層に接して配置されていることを特徴とする、請求項15のメモリ素子。

【請求項17】 前記第一伝導層の抵抗率が前記第二伝導層の抵抗率より小さいことを特徴とする、請求項16のメモリ素子。

【請求項18】 前記端部が環状接合又は線状接合であることを特徴とする、請求項15のメモリ素子。

【請求項19】 前記プログラム可能な抵抗材料が、相変化材料から成ることを特徴とする、請求項15のメモリ素子。

【請求項20】 前記プログラム可能な抵抗材料が、カルコゲン元素から成ることを特徴とする請求項15のメモリ素子。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US00/07666

A. CLASSIFICATION OF SUBJECT MATTER

IPC(7) : H01L 47/00

US CL : 257/2

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 257/2, 3, 4, 5

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,687,112 A (OVSHINSKY) 11 November 1997, figure 2, column 9, lines 6-14, column 14, lines 31-40 and lines 57-59, and column 15, lines 1-10 and lines 35-45.	1-31, 35-39
X	US 5,414,271 A (OVSHINSKY et al) 09 May 1995, figure 1, column 11, lines 28-35, column 16, lines 31-35, and column 18, lines 36-43.	1-14, 17-18, 20-22, 24-26, 28-37, 39
X	US 5,714,768 A (OVSHINSKY et al) 03 February 1998, figure 1, column 6, lines 39-47, and column 9, lines 5-16 and lines 49-55.	40-43

Further documents are listed in the continuation of Box C. See patent family annex.

Special categories of cited documents:	
'A'	document defining the general state of the art which is not considered to be of particular relevance
'E'	earlier document published on or after the international filing date
'L'	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
'O'	document referring to an oral disclosure, use, exhibition or other means
'P'	document published prior to the international filing date but later than the priority date claimed
'T'	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
'X'	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
'Y'	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
'Z'	document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 MAY 2000	19 JUN 2000
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer Phat X. Cao Telephone No. (703) 308-4917

Form PCT/ISA/210 (second sheet) (July 1998)*

フロントページの続き

(72)発明者 ウィッカー、 ギー スイ.
アメリカ合衆国 48076 ミシガン州 サ
ウスフィールド フェアファックス
30437

(72)発明者 クラーシー、 パトリック ジェイ.
アメリカ合衆国 48360 ミシガン州 レ
イク オリオン カミーラ 766

(72)発明者 パシュマコフ、 ポイル
アメリカ合衆国 48098 ミシガン州 ト
ロイ ジャーマン アヴェニュー 2133

(72)発明者 ジュバッティ、 ヴォロディミール
アメリカ合衆国 48092 ミシガン州 ウ
オーレン ウォルター 2426

(72)発明者 コスティレフ、 セルゲイ
アメリカ合衆国 48304 ミシガン州 ブ
ルームフィールド ヒルズ レノックス
1208

Fターム(参考) 5F048 AA01 AA09 AB01 AC03 BA01
BB19 BD07 BF01 BF02 BF04
BF07 BH02 CB07
5F083 FZ10 GA09 GA28 JA35 JA36
JA37 JA39 JA40 JA56 JA60
MA06 MA19 PR36 PR40 ZA21